

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-343864

(43)Date of publication of application : 29.11.2002

(51)Int.Cl.

H01L 21/82
H01L 21/822
H01L 27/04
// G06F 1/12

(21)Application number : 2001-141998

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.05.2001

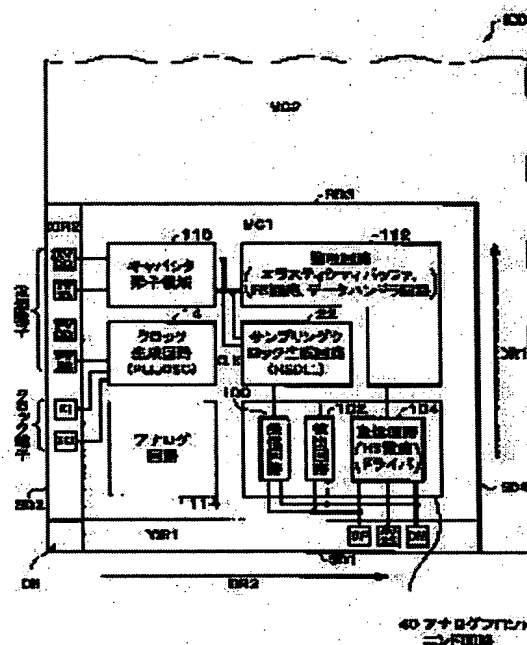
(72)Inventor : KASAHARA SHOICHIRO
AKIYAMA CHISATO
KOMATSU FUMIKAZU

(54) INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an integrated circuit device which allows various constitutions of upper circuits to be integrated while keeping the high performance of the circuit of a physical layer.

SOLUTION: A microcell MC1 including the circuit of a physical layer of 2.0 in USB is arranged at the corner of the integrated circuit device ICD. Data terminals DP and DM are arranged in an I/O region IOR1 along a side SD1, and the power terminals PVDD, PVSS, XVDD, and XVSS for a clock generating circuit 14 and a sampling clock circuit 22 and clock terminals XI and XO are arranged in the I/O region IOR2 along a side SD2. An interface region with a microcell MC2 including a user logic is provided along a side SD3. A receiving circuit 100 is arranged on the side of the DR1 of IOR1, and the clock generating circuit 14 is arranged on the side of DR2 of the IOR2, and the sampling clock generating circuit 22 is arranged on the side of DR2 of the clock generating circuit 14 besides being on the side of DR1 of the receiving circuit 100. A receiving circuit 104 is arranged on the side of DR1 of the data terminals DP and DM besides being on the side of DR2 of the receiving circuit 100.



LEGAL STATUS

[Date of request for examination] 03.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to an integrated circuit device and electronic equipment.

[0002]

Background Art and Problem(s) to be Solved by the Invention] USB (Universal Serial Bus) attracts attention as interface specification for connecting a personal computer and a peripheral device (a wide sense electronic equipment) in recent years. While peripheral devices connected by the connector of separate specification, such as a mouse, a keyboard, and a printer, are conventionally connectable by the connector of the same specification, there is an advantage that the so-called plug and play and the so-called hot plug are also realizable in this USB.

[0003] On the other hand, there is a trouble that a transfer rate is slow in this USB, compared with IEEE1394 which is similarly in the limelight as serial bus interface specification.

[0004] then, having the downward compatibility to the specification of conventional USB1.1, it is decided upon USB2.0 specification that it is markedly alike compared with USB1.1, and the data transfer rate of high-speed 480Mbps(es) (HS mode) can be realized, and the spotlight is captured. Moreover, it is decided also upon UTMI (USB2.0 Transceiver Macrocell Interface) which defined the interface specification about a part of physical layer circuit of USB2.0, and logic layer circuit.

[0005] now, FS (Full Speed) mode defined by this USB2.0 by conventional USB1.1 -- in addition, the transfer mode called HS (High Speed) mode is prepared. in this HS mode, since data transfer is performed by 480Mbps(es), compared with FS mode in which data transfer is performed by 12Mbps, it is markedly alike, and high-speed data transfer can be realized. Therefore, according to USB2.0, the optimal interface for storage devices by which a high-speed transfer rate is demanded, such as a hard disk drive and an optical disk drive, can be offered now.

[0006] however, it is necessary to boil the signal of small-size width of face markedly, and to transmit and receive at a high speed rather than USB1.1, in USB2.0 Therefore, high performance is required of the circuit of the physical layer which processes the signal of this small-size width of face, and to carry out manually also about cel arrangement or wiring is desired in the macro cell (a mega cell, macro block) of the UTMI conformity including the circuit of this physical layer.

[0007] On the other hand, the circuit of logic layers, such as SIE (Serial Interface Engine) and user logic, is included in the integrated circuit device containing the macro cell of UTMI conformity, and the configuration and scale of a circuit of this logic layer become a different thing according to the user who uses an integrated circuit device. Therefore, in the layout and manufacture containing such a macro cell of an integrated circuit device, the technical technical problem that the request of various users must be met occurs, maintaining the high performance of the circuit of the physical layer.

[0008] This invention is made in view of the above technical technical problems, and the place made into the purpose is to offer the electronic equipment using the integrated circuit device and this which can incorporate the circuit of the upper layer of various configurations, maintaining the high

performance of the circuit of the physical layer.

[0009]

[Means for Solving the Problem] An integrated circuit device applied to this invention in order to solve the above-mentioned technical problem The 1st macro cell which includes at least a circuit of the physical layer of given interface specification which is an integrated circuit device containing two or more macro cells, and performs data transfer through a bus, It is characterized by arranging said 1st macro cell so that a corner portion which is a portion which the 1st and 2nd side of said 1st macro cell intersects including the 2nd macro cell including a circuit of the upper layer rather than said physical layer may be located in a corner portion of an integrated circuit device.

[0010] In this invention, the 1st macro cell is arranged so that a corner portion of the 1st macro cell including a circuit of the physical layer (for example, the lowest layer) may be located in a corner portion of an integrated circuit device (it contains also when a corner portion carries out abbreviation coincidence). And the 2nd macro cell which includes a circuit of the upper layer rather than the physical layer to an arrangement field different, for example from the 1st macro cell is arranged. If it does in this way, it will become possible to include an upper layer circuit of various configurations in an integrated circuit device as the 2nd macro cell, maintaining high performance of a circuit of the physical layer which the 1st macro cell contains.

[0011] In addition, a part of circuit of the upper layer may be included in the 1st macro cell. Moreover, macro cells other than the 1st and 2nd macro cell can also be included in an integrated circuit device.

[0012] This invention to moreover, the 1st I/O field arranged along said 1st side of said 1st macro cell A data terminal connected to a bus of said given interface specification is arranged. It is characterized by arranging either [at least] a power supply terminal of a circuit which generates a clock for data transfer which minded [which is arranged along said 2nd side of said 1st macro cell / 2nd / I/O] said data terminal, or a clock terminal.

[0013] If it does in this way, it becomes possible to sample using a clock into which data which flows toward the 3rd side from the 1st side is inputted toward the 4th side from the 2nd side, for example etc., and useless rational data transfer which is not can be realized.

[0014] Moreover, this invention is characterized by preparing an interface field for exchanging a signal between the said 1st and 2nd macro cell at least along with one side of the 4th side which counters the 3rd side which counters said 1st side of said 1st macro cell, or said 2nd side.

[0015] If it does in this way, -izing of, for example, storing delay and delivery timing of a signal exchanged between the 1st and 2nd macro cell in a proper range can be carried out [easy].

[0016] In addition, in an interface field, a buffer for telling a signal from the 1st macro cell to the 2nd macro cell, a buffer for telling a signal from the 2nd macro cell to the 1st macro cell, etc. can be included.

[0017] Moreover, a receiving circuit which this invention is connected to a data terminal by which said 1st macro cell is connected to a bus of said given interface specification, and receives data through said data terminal, It is based on a clock generated by a clock generation circuit which generates a clock of given frequency, and said clock generation circuit. A sampling clock generation circuit which generates a sampling clock of data transmitted through said data terminal is included. When a direction which goes to the 3rd side which counters from said 1st side of said 1st macro cell is made into the 1st direction To the direction side of said 1st [the] of the 1st I/O field arranged along said 1st side When a direction which goes to the 4th side which said receiving circuit is arranged and counters from said 2nd side of said 1st macro cell is made into the 2nd direction Said clock generation circuit is arranged at the direction side of said 2nd [the] of the 2nd I/O field arranged along said 2nd side, and it is characterized by being the direction side of said 1st [the] of said receiving circuit, and said sampling clock generation circuit being arranged by the direction side of said 2nd [the] of said clock generation circuit.

[0018] If it does in this way, it comes to be able to shorten distance between a receiving circuit and a sampling clock generation circuit, and distance between a clock generation circuit and a sampling clock generation circuit, and a bad influence which parasitic capacitance of wiring and parasitism resistance have on circuit actuation can be mitigated.

[0019] In addition, a sampling clock generation circuit may be arranged so that a receiving circuit may be adjoined in the 1st direction and a clock generation circuit may be adjoined in the 2nd direction.

[0020] Moreover, frequency of this invention is [said clock generation circuit] the same, and the 1st - the Nth clock with which phases differ mutually are generated. An edge detector which detects whether an edge of data is between which [in an edge of the 1st - the Nth clock with which said sampling clock generation circuit was generated] edges, Based on edge detection information on said edge detector, it is characterized by including a clock selection circuitry which outputs a clock which chose and chose one of clocks as said sampling clock out of said 1st [the] - the Nth clock.

[0021] According to this invention, it is detected whether an edge of data is between which [in an edge of the 1st - the Nth clock of a polyphase] edges. For example, it is detected that an edge of data is between edges of the 2nd and 3rd clock about whether it is between edges of the 1st and 2nd clock etc. And based on acquired edge detection information (information which shows between edges of which clock an edge of data is), one of clocks is chosen from the 1st - the Nth clock, and the clock is outputted as a sampling clock.

[0022] Thus, according to this invention, a sampling clock of data is generable with a simple configuration of choosing a clock from the 1st - the Nth clock based on edge detection information. Therefore, even if it is data inputted synchronizing with a high-speed clock, a proper sampling clock for sampling the data can be generated by small-scale circuitry.

[0023] Moreover, the 1st power supply terminal with which this invention supplies a power supply to said clock generation circuit, The 2nd power supply terminal which supplies a power supply to said sampling clock generation circuit Are arranged to said 2nd I/O field, and in said 2nd direction, said clock generation circuit adjoins said 1st power supply terminal, and is arranged. It is characterized by for a field of a capacitor element where an end is connected to a power supply terminal by the side of high potential of said 2nd power supply terminal, and the other end is connected to a power supply terminal by the side of low voltage adjoining said 2nd power supply terminal, and arranging it in said 2nd direction.

[0024] If it does in this way, since the length of power supply wiring between the 1st power supply terminal and a clock generation circuit can be shortened, it becomes possible to suppress a voltage drop of a power supply to the minimum.

[0025] Moreover, line voltage variation of the 1st power supply terminal can be effectively stabilized now in a location near the 1st power supply terminal, and operational stability of circuits, such as a sampling clock generation circuit, can be guaranteed now.

[0026] Moreover, a receiving circuit which this invention is connected to a data terminal by which said 1st macro cell is connected to a bus of said given interface specification, and receives data through said data terminal, Connect with said data terminal and a detector which detects whether data received through said data terminal is effective is included. When a direction which goes to the 4th side which counters from said 2nd side of said 1st macro cell is made into the 2nd direction, it is characterized by for said receiving circuit and said detector adjoining and arranging them in said 2nd direction.

[0027] If it does in this way, mistaken received data can prevent fault, such as being told to a latter circuit, effectively, and stable circuit actuation can be realized.

[0028] Moreover, a receiving circuit which this invention is connected to a data terminal by which said 1st macro cell is connected to a bus of said given interface specification, and receives data through said data terminal, Connect with said data terminal and a sending circuit which transmits data through said data terminal is included. When a direction which goes to the 4th side which counters from said 2nd side of said 1st macro cell is made into the 2nd direction, said sending circuit is characterized by being arranged at the direction side of said 2nd [the] of said receiving circuit.

[0029] If it does in this way, while a path of a clock used for a sampling of received data etc. can be shortened, for example, the situation of a path of the clock and a path of transmit data lapping can be prevented.

[0030] Moreover, a receiving circuit which this invention is connected to a data terminal by which said 1st macro cell is connected to a bus of said given interface specification, and receives data through said

data terminal, Connect with said data terminal and a sending circuit which transmits data through said data terminal is included. When a direction which goes to the 3rd side which counters from said 1st side of said 1st macro cell is made into the 1st direction, it is characterized by for said sending circuit and said data terminal adjoining, and arranging them in said 1st direction.

[0031] If it does in this way, it comes to be able to shorten distance of a sending circuit and a data terminal, and the resistance, capacity, and an inductance which is parasitic on a wiring path of a data terminal can stop a bad influence which it has on circuit actuation to the minimum.

[0032] Moreover, this invention is characterized by for said 1st macro cell being a macro cell by which wiring and circuit cel arrangement are fixed, and said 2nd macro cell being a macro cell by which automatic-layout wiring of wiring and the circuit cel arrangement is carried out.

[0033] If it does in this way, it will become possible to include a circuit of various configurations in an integrated circuit device as the 2nd macro cell using automatic-layout wiring, maintaining high performance of the physical layer which the 1st macro cell contains.

[0034] Moreover, this invention is characterized by said given interface specification being USB (Universal Serial Bus) specification.

[0035] In this case, as given interface specification, specification into which USB2.0 specification and USB2.0 specification were developed further can be used.

[0036] Moreover, electronic equipment concerning this invention is characterized by including equipment which performs output processing, incorporation processing, or storage processing of data transmitted through an integrated circuit device, and one of said above-mentioned integrated circuit devices and said buses.

[0037] If it does in this way, since an integrated circuit device including a circuit of the highly efficient physical layer is incorporable into electronic equipment, engine performance of electronic equipment can be improved. On the other hand, by changing circuitry of the 2nd macro cell, if an integrated circuit device of various circuitry is built into electronic equipment, ** becomes possible and the request of various users can be met.

[0038]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained to details using a drawing.

[0039] In addition, this operation gestalt explained below does not limit at all the contents of this invention indicated by the claim. Moreover, not all the configurations of being explained by this operation gestalt are necessarily indispensable as a solution means of this invention.

[0040] 1. As shown in circuitry drawing 1 , the integrated circuit device (data transfer control unit) of this operation gestalt contains a macro cell MC 1 (the 1st macro cell) and a macro cell MC 2 (the 2nd macro cell). In addition, these macro cells MC1 and MC2 (a mega cell, macro block) are the units of the middle-scale or large-scale circuit which has a logical function. Moreover, you may make it the integrated circuit device of this operation gestalt contain three or more macro cells.

[0041] In drawing 1 , MC1 is a macro cell which includes at least the circuit of the physical layer of interface specification (for example, USB or IEEE1394 etc.) which performs data transfer through a bus (for example, serial bus). If USB2.0 (or specification into which USB2.0 was developed) is taken for an example, the transceiver macro cell based on the specification of UTMI (USB2.0 Transceiver Macrocell Interface) can be used as MC1. In this case, MC1 will include a part of physical layer circuit and logic layer circuit.

[0042] On the other hand, MC2 is a macro cell which includes the circuit of the upper layers (a logic layer, a protocol layer, or application layer) rather than the physical layer. If USB2.0 is taken for an example, MC2 will include logic layer circuits (other portions of the logic layer circuit which MC1 includes), such as SIE (Serial Interface Engine) and user logic (circuit of a device proper).

[0043] In addition, in drawing 1 , a macro cell only including the circuit of the physical layer may be used as MC1. Moreover, MC2 should just include the circuit of the layer of a high order rather than the physical layer at least.

[0044] An example of the circuitry of a macro cell MC 1 is shown in drawing 2 .

[0045] A macro cell MC 1 (the 1st macro cell) includes the data handler circuit 10, the clock control circuit 12, the clock generation circuit 14, the HS (High Speed) circuit 20, and the FS (Full Speed) circuit 30. These circuits are logic layer circuits. Moreover, MC1 includes the analog front end circuit 40 (transceiver circuit) which is a physical layer circuit. In addition, a macro cell MC 1 is good also as a configuration which does not need to include all the circuit blocks shown in drawing 2, and omits those parts.

[0046] The data handler circuit 10 (given circuit for performing data transfer in a wide sense) performs various processings for the data transfer based on USB2.0. More specifically at the time of transmission, processing which adds SYNC (SYNChronization), and SOP (Start Of Packet) and EOP (End Of Packet) to transmit data, bit stuffing processing, etc. are performed. On the other hand, at the time of reception, SYNC of received data, and SOP and EOP are detected and processing which deletes, BITTOAN stuffing processing, etc. are performed. Furthermore, the data handler circuit 10 also performs processing which generates various kinds of timing signals for controlling transmission and reception of data.

[0047] In addition, received data will be outputted to SIE (Serial Interface Engine) which is a latter circuit from the data handler circuit 10, and transmit data will be inputted into the data handler circuit 10 from SIE. And this SIE contains the SIE control logic for identifying the USB packet ID and the address, and the end point logic for performing end point processing of discernment of an endpoint number, FIFO control, etc.

[0048] The clock control circuit 12 receives various kinds of control signals of SIE, and performs processing which controls the clock generation circuit 14.

[0049] The clock generation circuit 14 is a circuit which generates the 480MHz clock used inside equipment, and the 60MHz clock used by the interior of equipment, and SIE, and contains OSC, PLL480M, and PLL60M.

[0050] OSC (oscillator circuit) generates a base clock with combination for example, with external vibrator here.

[0051] PLL480M are PLL (Phase Locked Loop) which generates a 480MHz required clock, and FS (FullSpeed) mode, the interior of equipment and a 60MHz clock required of SIE in HS (High Speed) mode based on the base clock generated by OSC (oscillator circuit).

[0052] PLL60M generate FS mode, the interior of equipment, and a 60MHz clock required of SIE based on the base clock generated by OSC (oscillator circuit).

[0053] The HS circuit 20 is a logical circuit for transmitting and receiving the data in HS mode in which a data transfer rate serves as 480Mbps(es), and the FS circuit 30 is a logical circuit for transmitting and receiving the data in FS mode in which a data transfer rate serves as 12Mbps(es).

[0054] The HS circuit 20 is the sampling clock generation circuit 22 (HSDLL.). High Speed Delay Line PLL and the ERASU tee city buffer (elasticity buffer) 24 are included.

[0055] Here, the sampling clock generation circuit 22 generates the sampling clock of received data based on the clock generated by the clock generation circuit 14 and received data.

[0056] Moreover, the ERASU tee city buffers 24 are the interior of equipment, and a circuit for absorbing a clock frequency difference (clock drift) with an external device (external device connected to a bus) etc.

[0057] The analog front end circuit 40 (transceiver circuit) is an analog circuit including the driver and receiver for performing transmission and reception with FS or HS mode. In USB, data is transmitted and received with the differential signal which used the data terminals DP (Data+) and DM (Data-).

[0058] HS mode (a wide sense the 1st mode) and FS mode (a wide sense the 2nd mode) are defined as transfer mode by USB2.0. HS mode is the transfer mode newly defined by USB2.0. FS mode is transfer mode already defined by conventional USB1.1.

[0059] For this reason, in the integrated circuit device of this operation gestalt, the analog front end circuit 40 contains the driver for HS modes for performing transmission and reception with HS mode and a receiver, and the driver for FS modes and receiver for transmitting and receiving in FS mode.

[0060] More specifically, the analog front end circuit 40 contains the FS driver 42, FS differential

receiver 44, the single end (Single ended) DP receiver 46, the single end DM receiver 48, HS current driver 50 (sending circuit), the squelch (Squelch) circuit 52 (detector) for low speeds, the squelch circuit 54 (detector) for high speeds, and HS differential receiver 56 (receiving circuit).

[0061] The FS driver 42 carries out the differential output of the differential signal which consists of FS_DPout and FS_DMout from the FS circuit 30 in FS mode using the data terminals DP and DM. The output control of this FS driver 42 is carried out by FS_OutDis from the FS circuit 30.

[0062] In FS mode, FS differential receiver 44 amplifies the differential signal inputted through DP and DM, and outputs to the FS circuit 30 as FS_DataIn. Amplification control of this FS differential receiver 44 is carried out by FS_CompEnb.

[0063] In FS mode, the single end DP receiver 46 amplifies the signal of the single end inputted through DP, and outputs to the FS circuit 30 as SE_DPin.

[0064] In FS mode, the single end DM receiver 48 amplifies the signal of the single end inputted through DM, and outputs to the FS circuit 30 as SE_DMin.

[0065] In HS mode, HS current driver 50 (sending circuit) amplifies the differential input signal which consists of HS_DPout and HS_DMout from the HS circuit 20, and outputs it through DP and DM. That is, HS current driver 50 generates the condition of J (DP is 400mV and DM is 0V) or K (DP is 0V and DM is 400mV) by driving the signal line of DP or DM with a fixed current value. While the output control of this HS current driver 50 is carried out by HS_OutDis from the HS circuit 20, control of drive current is performed by HS_CurrentSourceEnb.

[0066] The squelch circuit 52 (detector.) for low speeds In FS mode, the transmission envelope detector for low speeds detects the differential signal (existence of data) inputted through DP and DM, and outputs it as HS_SQ_L. That is, data and a noise are distinguished and detected. Motion control of this squelch circuit 52 for low speeds is carried out by HS_SQ_L_Enb, and power-saving control is carried out by HS_SQ_L_Pwr.

[0067] The squelch circuit 54 (detector.) for high speeds In HS mode, the transmission envelope detector for high speeds detects the differential signal (existence of data) inputted through DP and DM, and outputs it to the HS circuit 20 as HS_SQ. That is, data and a noise are distinguished and detected. Motion control of this HS_SQ circuit 54 for high speeds is carried out by HS_SQ_Enb from the HS circuit 20, and power-saving control is carried out by HS_SQ_Pwr.

[0068] In HS mode, HS differential receiver 56 (receiving circuit) amplifies the differential signal inputted through DP and DM, and outputs HS_DataIn and HS_DataIn_L. That is, in HS mode, it detects whether Rhine of DP and DM is in which condition of J or K. Amplification control of this HS differential receiver 56 is carried out by HS_RxEnb.

[0069] DP of the differential data terminals is connected with the supply voltage by the side of high potential (for example, 3.3V) through a switching device (transistor) SW1 and a pull-up resistor Rpu. Moreover, DM of the differential data terminals is connected to a switching device SW2. These SW1 and SW2 are controlled by RpuEnb. Namely, HS device can be used now as an FS device by activating RpuEnb and carrying out pull-up of the DP through SW1 and Rpu.

[0070] In addition, with this operation gestalt, in order to maintain the load balance between DP and DM, dummy resistance Rpu' is connected through SW2 also about DM.

[0071] 2. As the arrangement book operation gestalt of a macro cell shows to drawing 3 (A), it is a macro cell MC 1 (the 1st macro cell.). The corner portion CN which is a part for the intersection of the sides SD1 and SD2 (the 1st and 2nd side) of a transceiver macro arranges MC1 so that it may be in agreement with the corner portion of an integrated circuit device ICD (semiconductor chip) (it contains also when mostly in agreement). And it is a macro cell MC 2 (the 2nd macro cell.) to fields other than the arrangement field of a macro cell MC 1. The macro cell of SIE and user logic is arranged.

[0072] Here, in drawing 3 (A), MC1 is the hard macro by which wiring and circuit cel arrangement are fixed. Wiring and circuit cel arrangement are more specifically performed by the manual layout (a part of wiring and arrangement may be automated).

[0073] On the other hand, MC2 is the software macro by which automatic-layout wiring of wiring and the circuit cel arrangement is carried out. Wiring between primitive cells etc. is more specifically

automatically performed by the automatic-layout wiring tool of a gate array (some of arrangement and wiring may be fixed).

[0074] As a macro cell MC 1 is shown in drawing 2, the analog front end circuit 40 where to operate at a high speed by the very small signal is demanded, the HS circuit 20 where to operate by 480MHz is demanded, the clock generation circuit 14 where it is required that a 480MHz clock should be generated are included. Therefore, if the automatic-layout wiring tool used by the gate array etc. performs arrangement of these circuits of a macro cell MC 1, and wiring, the high performance of a macro cell MC 1 is unmaintainable. Therefore, it is desirable to perform arrangement of the circuit cel in a macro cell MC 1 and wiring with a manual layout.

[0075] On the other hand, as for a macro cell MC 2, high-speed actuation is not required of about one macro cell MC excluding a physical layer circuit (analog front end circuit). And the circuitry of a macro cell MC 2 changes to Oshi according to the use of the electronic equipment by which a request of the user who uses an integrated circuit device, and an integrated circuit device are incorporated. Therefore, it is desirable to perform arrangement of the circuit cel in a macro cell MC 2 and wiring with an automatic-layout wiring tool.

[0076] So, with this operation gestalt, as shown in drawing 3 (A), the corner portion CN of a macro cell MC 1 arranges MC1 so that it may be located in the corner portion of an integrated circuit device ICD. If it does in this way, also when the configuration and scale of a circuit of a macro cell MC 2 change, this can be coped with easily, for example.

[0077] For example, what is necessary is just to arrange MC1 and MC2 that what is necessary is just to arrange MC1 and MC2 as shown in drawing 3 (B), as shown in drawing 3 (C) when the circuit of MC2 is large-scale when the circuit of a macro cell MC 2 is small-scale.

[0078] And in this case, with this operation gestalt, since the macro cell MC 1 is arranged at the corner of an integrated circuit device ICD, even if circuitry and the scale of a macro cell MC 2 change according to a request of a user, arrangement of the circuit cel of a macro cell MC 1 incore and arrangement of wiring or the terminal (pad) in an I/O field are mostly fixable. Therefore, though the request of various users is met, the high performance of a macro cell MC 1 is maintainable.

[0079] Moreover, with this operation gestalt, since the macro cell MC 1 is placed in a fixed position to the corner of an integrated circuit device ICD, as shown in drawing 3 (B) and (C), it can place in a fixed position in the location of the side SD 3 (or the side SD 4 which counters the side SD 2) which counters the side SD 1 also about the interface field IFR for exchanging data among macro cells MC [MC1 and] 2 (field where the buffer for buffering a signal is arranged). Here, the interface field IFR is a field containing the buffer which buffers the signal from a macro cell MC 1, and is outputted to a macro cell MC 2, the buffer which buffers the signal from MC2 and is inputted into MC1.

[0080] Thus, also when it becomes easy to store in tolerance delay and delivery timing of the signal exchanged among macro cells MC [MC1 and] 2 and circuitry and the scale of a macro cell MC 2 change by placing the interface field IFR in a fixed position, the stable circuit actuation can be guaranteed.

[0081] That is, if the location of the interface field IFR is fixed, it will become possible to estimate easily the parasitic capacitance of the signal line between macro cells MC [MC1 and] 2. Therefore, it sets up so that the parasitic capacitance of these signal lines may be settled in tolerance, and it becomes possible to perform automatic-layout wiring of the macro cell MC 2 which is a software macro, and-izing of the layout of signal timing can be carried out [easy].

[0082] In addition, in order to easy-ize layout of signal timing further, it is desirable to place in a fixed position to the field (field met the side SD 3) contiguous to the interface field IFR by the side of a macro cell MC 1 also about the interface field by the side of a macro cell MC 2 (buffer area).

[0083] Moreover, with this operation gestalt, as shown in drawing 3 (D), macro cells MC1 and MC2 may be arranged. That is, although the field of a macro cell MC 2 exists in the right-hand side (the direction side of the 2nd) of the side SD 4 (the 4th side) of a macro cell MC 1 in drawing 3 (A), (B), and (C), it does not exist in drawing 3 (D). That is, the side SD 4 (the 4th side) of a macro cell MC 1 is located in the location of side SD4' (the 4th side) of a macro cell MC 2. Arrangement of drawing 3 (D)

is effective, when the circuit scale of a macro cell MC 1 is small, or when there are few terminals.

[0084] 3. With the arrangement book operation gestalt of a data terminal, a power supply terminal, and a clock terminal, as shown in drawing 4 , arrange power supply terminals VDD and VSS and the clock terminals XI and XO to the I/O field IOR2 which has arranged the data terminals DP and DM (pad) to the I/O field IOR1 (1st I/O field) met the side SD 1 (the 1st side) of a macro cell MC 1, and met it the side SD 2 (the 2nd side).

[0085] Here, DP and DM are data terminals connected to the bus of USB. In USB, transmission and reception of data are performed using these differential data terminals DP and DM.

[0086] Moreover, VDD and VSS (PVDD, PVSS, XVDD, XVSS) are the power supply terminals of the circuit (for example, the clock generation circuit 14 or sampling clock generation circuit 22 grade of drawing 2) which generates the clock for the data transfer through DP and DM, and XI and XO are clock terminals. For example, the clock generation circuit 14 and the sampling clock generation circuit 22 of drawing 2 operate according to the power supply supplied from these power supply terminals VDD and VSS. Moreover, XI and XO are the input terminal of the oscillator circuit OSC of drawing 2 , and an output terminal respectively. In addition, you may make it input an external clock through XI.

[0087] Thus, if DP and DM are arranged to IOR1 which met the side SD 1 and VDD, VSS, XI, and XO are arranged to IOR2 which met the side SD 2 It becomes possible to sample using the clock into which the data which flows along a direction DR1 (the 1st direction which goes to the side SD 3 which counters from the side SD 1) is inputted along a direction DR2 (the 2nd direction which goes to the side SD 4 which counters from the side SD 2). And the sampled data can be outputted to a macro cell MC 2 through the interface field IFR which is a field met the side SD 3. Thereby, the useless rational data transfer which is not is realizable.

[0088] Especially the frequency of the sampling clock in HS mode of USB2.0 is 480MHz, and is very high-speed. Therefore, in order not to cause clock skew etc., it is desirable to sample the data received through DP and DM in as early a phase as possible.

[0089] With this operation gestalt, as shown in drawing 4 , the macro cell MC 1 has been arranged to the corner of an integrated circuit device ICD, DP and DM have been arranged to IOR1 which met the side SD 1, and VDD, VSS, XI, and XO for sampling clock generation are arranged to IOR2 which met the side SD 2. Therefore, it becomes possible to shorten L1 and L2 of drawing 4 which is the distance to the location where data is sampled, and the data inputted through DP and DM can be sampled now in an early phase. Thereby, also in transfer mode with quick frequency, generating of a reception error can be effectively prevented like HS mode of USB2.0.

[0090] In addition, although the interface field IFR may be arranged in the direction met the side SD 4, when it takes into consideration that the direction where data flows is DR1, it is desirable to arrange IFR in the direction met the side SD 3.

[0091] 4. With arrangement book operation gestalten, such as a clock generation circuit, as shown in drawing 5 , arrange the receiving circuit 100 (HS differential receiver 56 of drawing 2) to the DR1 side (the direction side of the 1st which goes to SD3 from the side SD 1) of the I/O field IOR1.

[0092] Moreover, the clock generation circuit 14 of drawing 2 is arranged to the DR2 side (the direction side of the 2nd which goes the side SD 4 which counters from the side SD 2) of the I/O field IOR2.

[0093] And it is the DR1 side (above) of a receiving circuit 100, and the sampling clock generation circuit 22 is arranged to the DR2 side (right-hand side) of the clock generation circuit 14.

[0094] If it is made arrangement as shown in drawing 5 , distance between a receiving circuit 100 and the sampling clock generation circuit 22 can be shortened. Therefore, the length of the wiring which connects a receiving circuit 100 and the sampling clock generation circuit 22 can be shortened, and it can prevent that an unnecessary capacity is parasitic on wiring of the data received by the receiving circuit 100 through DP and DM. Consequently, while being able to prevent that a provincial accent grows in the standup and falling wave of data, it becomes possible to transmit the data from a receiving circuit 100 to the sampling clock generation circuit 22 by little signal delay.

[0095] Moreover, if it is made arrangement as shown in drawing 5 , distance between the clock generation circuit 14 and the sampling clock generation circuit 22 can also be shortened. Therefore, the

length of the wiring which connects the clock generation circuit 14 and the sampling clock generation circuit 22 can be shortened, and it can prevent that an unnecessary capacity is parasitic on wiring of the clock (the 1st of a polyphase - the Nth clock with which frequency is the same and phases differ) of the high frequency (480MHz) generated in the clock generation circuit 14. Consequently, the situation of a provincial accent arising in the standup and falling wave of a clock signal, or a signal differential delay arising between the clocks of a polyphase can be prevented.

[0096] And it becomes possible to realize the circuit which generates the sampling clock of high frequency which is required in HS mode of USB2.0 by shortening distance between a receiving circuit 100 and the sampling clock generation circuit 22, and distance between the clock generation circuit 14 and the sampling clock generation circuit 22 in this way, even if it does not use the newest semiconductor process.

[0097] The example of a configuration of the sampling clock generation circuit 22 (HSDLL time) of this operation gestalt is shown in drawing 6.

[0098] PLL480M which the clock generation circuit 14 contains have the same frequency, and output the clocks CLK0, CLK1, CLK2, CLK3, and CLK4 (a wide sense 1st [the] - the Nth clock) with which phases differ mutually. More specifically, the output of five differential output comparators (a wide sense the 1st of odd level - the Nth inverter circuit) which VCO (oscillation means by which oscillation frequency is controlled by adjustable) of PLL480M contains will be used as clocks 0-CLK 4.

[0099] The sampling clock generation circuit 22 contains the edge detector 70 and the clock selection circuitry 72. And this edge detector 70 detects the edge of the data inputted from a receiving circuit 100 (HS differential receiver 56 of drawing 2), and outputs that edge detection information to the clock selection circuitry 72.

[0100] It more specifically detects whether the edge of data HS_DataIn is between which [in the edge (starting or falling edge) of CLK 0-4 from PLL480M] edges, and the edge detection information is outputted to the clock selection circuitry 72.

[0101] Then, the clock selection circuitry 72 is outputted to the latter ERASU tee city buffer 24 out of clocks 0-CLK 4 based on this edge detection information by using as a sampling clock SCLK the clock which chose and chose one of clocks.

[0102] The timing wave form chart for explaining actuation of the sampling clock generation circuit 22 to drawing 7 (A) and (B) is shown.

[0103] As shown in drawing 7 (A) and (B), CLK 0-4 is a clock with which frequency is set to the same 480MHz. Moreover, when the period of a clock is set to T, the phase between each clock has shifted only T/5 (a wide sense T/N).

[0104] And in drawing 7 (A), it is detected by the edge detector 70 of drawing 6 that the edge ED of HS_DataIn (received data) used as the candidate for a sampling is among clocks CLK0 and CLK1. Then, the clock CLK3 which has the edge EC 3 shifted only three pieces (a wide sense several setup M pieces) is chosen from the edge ED of HS_DataIn by the clock selection circuitry 72 of drawing 6, and this selected CLK3 is outputted to a latter circuit (ERASU tee city buffer 24) as a sampling clock SCLK of HS_DataIn.

[0105] On the other hand, in drawing 7 (B), it is detected by the edge detector 70 that the edge ED of HS_DataIn is between CLK2 and CLK3. Then, the clock CLK0 which has the edge EC 0 shifted only three pieces (a wide sense several setup M pieces) is chosen from the edge ED of HS_DataIn by the clock selection circuitry 72, and this selected CLK0 is outputted to a latter circuit (ERASU tee city buffer 24) as a sampling clock SCLK of HS_DataIn.

[0106] Thus, according to the sampling clock generation circuit 22 of this operation gestalt, the sampling clock SCLK of HS_DataIn is generable with the simple configuration of detecting the edge ED of HS_DataIn and choosing a clock from CLK0-CLK4 based on the acquired edge detection information. Therefore, like HS mode of USB2.0, also when HS_DataIn is high-speed transfer data which synchronizes with 480MHz of an external device, the clock SCLK which can sample this HS_DataIn proper can be generated.

[0107] Moreover, according to this operation gestalt, as shown in drawing 7 (A) and (B), the edge ES of

the generated sampling clock SCLK can be located near the middle between the edges of HS_DataIn. therefore, a latter circuit (ERASU tee city buffer 24) can fully secure now the setup time and the hold time for maintenance of data, can boil the reliability of data reception markedly and can raise it.

[0108] Moreover, according to this operation gestalt, the output of the differential output comparator (inverter circuit) which VCO of PLL480M contains is used effectively as clocks 0-CLK 4 of five phases (polyphase) used for the edge detection of HS_DataIn, or generation of SCLK. Therefore, since there is no necessity of preparing new circuit another in order to generate CLK 0-4, small-scale-ization of a circuit can be attained.

[0109] The detailed example of a configuration which is PLL480M which the clock generation circuit 14 contains in drawing 8 is shown.

[0110] These PLL480M contain a phase comparator 80, the charge pump circuit 82, a filter circuit 84, VCO (Voltage Controlled Oscillator)86, a counting-down circuit 88, etc.

[0111] A phase comparator 80 compares the phase of a base clock RCLK (for example, 12-24MHz) and the clock DCLK4 from a counting-down circuit 88, and outputs the phase error signals PUP and PDW here (PUP is a phase-lead-lag-network signal, and PDW is a phase lag signal).

[0112] The charge pump circuit 82 performs charge pump actuation based on PUP from a phase comparator 80, and PDW. If actuation which will more specifically charge the capacitor which a filter circuit 84 contains if PUP becomes active is performed and PDW becomes active, actuation which discharges a capacitor will be performed. And the control voltage VC graduated by the filter circuit 84 is given to VCO86.

[0113] According to control voltage VC, VCO86 performs oscillation actuation by which the oscillation frequency is controlled by adjustable, and generates the 480MHz clocks 0-QCLK 4. For example, oscillation frequency will also become low if oscillation frequency will also become high if control voltage VC becomes high, and control voltage VC becomes low.

[0114] The clock 0, 1, 2, 3, and QCLK 4 generated by VCO86 is respectively outputted outside as CLK 0, 3, 1, 4, and 2 through the buffers [10-BFs / BF's and / 14] 00-04. In addition, BF's 20-23 are the buffers of the dummy for load doubling with BF24.

[0115] A counting-down circuit 88 carries out dividing (1-/N) of the clock QCLK4 inputted from VCO86 through buffers BF04 and BF24, and outputs the clock DCLK4 after dividing to a phase comparator 80.

[0116] According to PLL480M of the configuration of drawing 8 , the 480MHz clocks 0-CLK 4 of the high frequency which carried out phase simulation to the base clock RCLK (clock generated by the oscillator circuit OSC) can be generated now.

[0117] Based on the 480MHz clocks 0-CLK 4 of the polyphase from the edge information and the clock generation circuit 14 (PLL480M) of HS_DataIn from a receiving circuit 100 (differential receiver 56), the sampling clock SCLK is generated in the sampling clock generation circuit 22 of drawing 6 as mentioned above. Therefore, when an unnecessary capacity is parasitic on wiring of HS_DataIn or clocks 0-CLK 4, there is a possibility that it may become impossible to generate a proper sampling clock.

[0118] According to this operation gestalt, the macro cell MC 1 has been arranged to the corner of an integrated circuit device ICD, and the receiving circuit 100, the clock generation circuit 14, and the sampling clock generation circuit 22 are arranged as shown in drawing 5 . Therefore, it becomes possible to shorten the wire length between a receiving circuit 100 and the sampling clock generation circuit 22, and the wire length between the clock generation circuit 14 and the sampling clock generation circuit 22 as much as possible. Consequently, also when the sampling clock generation circuit 22 of a configuration like drawing 6 is adopted, a proper sampling clock can be generated.

[0119] 5. With the arrangement book operation gestalt of a capacitor field, as shown in drawing 9 , arrange the power supply terminals PVDD and PVSS (the 1st power supply terminal) which supply a power supply to the clock generation circuit 14, and the power supply terminals XVDD and XVSS (the 2nd power supply terminal) which supply a power supply to the sampling clock generation circuit 22 or other logical circuits 112 (the ERASU tee city buffer 24 of drawing 2 , the FS circuit 30, data handler

circuit 10) to the I/O field IOR2 met the side SD 2.

[0120] And with this operation gestalt, in a direction DR2 (the 2nd direction), power supply terminals PVDD and PVSS were adjoined and the clock generation circuit 14 is arranged.

[0121] On the other hand, in a direction DR2, power supply terminals XVDD and XVSS were adjoined and the capacitor element field 110 for stabilizing fluctuation of the supply voltage of power supply terminals XVDD and XVSS is arranged. As shown in drawing 10, the capacitor element CP is an element by which an end (positive-electrode side) is connected to XVDD, and the other end (negative-electrode side) is connected to XVSS, and is constituted here using the guard ring (annular power supply) which stabilizes substrate potential.

[0122] If power supply terminals PVDD and PVSS are adjoined and the clock generation circuit 14 is arranged as shown in drawing 9, the length of the power supply wiring between PVDD, PVSS, and the clock generation circuit 14 can be shortened. Therefore, the voltage drop by the current which flows in the clock generation circuit 14 can be suppressed to the minimum, and operational stability of the clock generation circuit 14 can be guaranteed.

[0123] Since especially PLL480M (refer to drawing 8) that the clock generation circuit 14 contains need to generate the clock of high frequency (480MHz), there is very much consumed electric current. And by this consumed electric current, if a big voltage drop arises to a power supply, the gain of the inverter circuit which PLL480M include will fall, and the situation where it becomes impossible to guarantee the oscillation actuation which is 480MHz will arise.

[0124] this operation gestalt -- like -- If power supply terminals PVDD and PVSS are adjoined and the clock generation circuit 14 is arranged, it can prevent effectively that such a situation arises.

[0125] Moreover, if power supply terminals XVDD and XVSS are adjoined and the capacitor element field 110 is arranged as shown in drawing 9, the line voltage variation of XVDD and XVSS can be stabilized effectively in the location near XVDD and XVSS.

[0126] Especially the ERASU tee city buffer that the sampling clock generation circuit 22 and a logical circuit 112 contain operates with high frequency (480MHz). Therefore, there is a possibility that the situation where these sampling clock generation circuits 22 and an ERASU tee city buffer malfunction may arise by the line voltage variation resulting from the charge and discharge of the gate capacitance of an MOS transistor.

[0127] this operation gestalt -- like -- If the capacitor element field 110 is arranged immediately near the power supply terminals XVDD and XVSS, it can prevent effectively that such a situation arises. Moreover, it is effective in the ability to use effectively the dead space (free area) by the side of DR1 of the clock generation circuit 14 (above).

[0128] In addition, in drawing 9, an analog circuit 114 is a circuit for generating reference voltage and reference current. Moreover, for example, the oscillator circuit OSC of the clock generation circuit 14 may be arranged near the field the analog circuit 114 is arranged.

[0129] 6. Detector 102 (squench circuit 54 for high speeds of drawing 2.) for distinguishing whether it is data with effective signal on bus, and whether as arrangement relation book operation gestalt of receiving circuit and detector shows to drawing 9, analog front end circuit 40 is noise An envelope detector is included.

[0130] This detector 102 holds the peak value of the signal of a bus, is detecting the envelope of a signal and detects the amplitude of the signal of a bus. And for example, if the amplitude is 100mV or less, it will judge that a signal is a noise, and if it is 150mV or more, it will be judged that it is effective data. And when it is judged that it is effective data, a detector 102 makes detecting-signal HS_SQ of drawing 11 (A) H level (active). Thereby, AND circuit 103 will be in switch-on, and the received data from a receiving circuit 100 come to get across to the sampling clock generation circuit 22.

[0131] Now, in USB2.0, it became clear that signal detection actuation of this detector 102 had to be performed very much at a high speed.

[0132] That is, whenever it passes a hub device, the bit of SYNC of drawing 11 (B) is deleted, and it goes by USB2.0. For this reason, when the device of an end receives data, the number of bits of SYNC may have decreased very much. Therefore, when signal detection actuation of a detector 102 is slow, the

timing from which HS_SQ is set to H level is overdue, and there is a possibility that received data may lose.

[0133] So, with this operation gestalt, as shown in drawing 9, in the direction DR2 which goes to SD4, the receiving circuit 100 and the detector 102 (squench circuit) are adjacently arranged from the side SD 2 of a macro cell MC 1.

[0134] If it does in this way, it will become possible to make equivalent parasitic capacitance of wiring in the paths PT1 and PT2 of drawing 11 (A), and parasitism resistance. therefore -- for example, when it is detected that the signal of a bus is a noise, it can prevent that mistaken data gets across to the clock generation circuit 22 through a path PT 1 and AND circuit 103 by output HS_SQ of a detector 102 being immediately set to L level. On the other hand, when the signal of a bus is detected as it is effective data, the data received in the receiving circuit 100 comes to get across to the sampling clock generation circuit 22 immediately through a path PT 1 and AND circuit 103 by output HS_SQ of a detector 102 being set to H level. Thus, with this operation gestalt, it has succeeded in realizing stable circuit actuation by making equivalent parasitic capacitance of wiring in paths PT1 and PT2, and parasitism resistance.

[0135] The example of a configuration of a detector 102 (squench circuit) is shown in drawing 12.

[0136] The detector 102 of drawing 12 includes the differential-amplifier circuit 60, the 1st and the 2nd peak hold circuit 62 and 64, the constant potential setting circuit 66, and a comparator circuit 68.

[0137] The differential-amplifier circuit 60 amplifies the voltage of the difference of DP and the difference input signal from DM, and generates the differential output signals GP and GM.

[0138] The 1st peak hold circuit 62 detects the peak value of one output signal GP of a differential output signal, and holds it to Node PKH.

[0139] The 2nd peak hold circuit 64 detects the peak value of the output signal GM of another side of a differential output signal, and holds it to Node PKH.

[0140] The constant potential setting circuit 66 is the time constant which changes slowly rather than the potential change speed of Node PKH, and returns the potential of Node PKH to the fixed potential corresponding to the condition of a signal of not detecting.

[0141] A comparator circuit 68 compares a reference potential RP with the potential of Node PKH, and outputs the result as HS_SQ.

[0142] Thus, the detector 102 of drawing 12 holds the peak value of the differential output signals GP and GM which might be based on DP and DM to Node PKH, and returned it with the time constant which made this potential of PKH slowly the fixed potential related with the signal condition of not detecting. And since it was made to compare the potential of this node PKH with reference level RP, even when the difference input signals of DP and DM are the minute amplitude and a high speed, the existence of received data can be distinguished with a sufficient precision.

[0143] 7. As the arrangement relation book operation gestalt of a receiving circuit and a sending circuit shows to drawing 9, it is the DR2 side (the direction side of the 2nd which goes to SD4 from SD2.) of a receiving circuit 100 (HS differential receiver 56) about a sending circuit 104 (HS current driver 50 of drawing 2). It arranges on right-hand side.

[0144] For example, as the layout technique used as the example of a comparison of this operation gestalt, as shown in drawing 13 (A), it is the direction XDR 2 side of a receiving circuit 100 (opposite side of DR2.) about a sending circuit 104. The technique arranged on left-hand side can also be considered.

[0145] However, by this technique, as shown in drawing 13 (A), the wiring field of the clock from the clock generation circuit 14 and the field of the logical circuit 112 which supplies transmit data to a sending circuit 104 will lap. For this reason, there is a problem that layout effectiveness worsens.

[0146] As for especially the capacity and resistance that are parasitic on wiring of the clock (polyphase clock) from the clock generation circuit 14 in generating a sampling clock by the technique of of drawing 6, drawing 7 (A), and (B), it is desirable to become as small as possible. However, by the layout technique of drawing 13 (A), the distance between the clock generation circuit 14 and the sampling clock generation circuit 22 will separate, and useless parasitic capacitance and parasitism

resistance will be added to clock wiring from the clock generation circuit 14.

[0147] Furthermore, by the layout technique of drawing 13 (A), the data terminals DP and DM arranged at the sending-circuit 104 bottom will also be arranged in the location near the corner portion CN. For this reason, the bonding wire of the data terminals DP and DM will be wired aslant, and a difference will arise to the length of the bonding wire of DP and DM. Consequently, a difference arises also in the inductance which is parasitic on the bonding wire of DP and DM, the load balance of DP and DM collapses, and there is a possibility that the engine performance of a sending circuit 104 may fall.

[0148] On the other hand, if a sending circuit 104 is arranged to the DR2 side (right-hand side) of a receiving circuit 100 as shown in drawing 13 (B), a receiving circuit 100 can be arranged in a near location from the corner portion CN. Consequently, the situation where the wiring field of the clock from the clock generation circuit 14 and the field of a logical circuit 112 lap can be prevented, and layout effectiveness can be raised.

[0149] Moreover, according to the layout technique of drawing 13 (B), the distance between the clock generation circuit 14 and the sampling clock generation circuit 22 can be brought close, and the capacity and resistance which are parasitic on clock wiring from the clock generation circuit 14 can be suppressed to the minimum.

[0150] Furthermore, by the layout technique of drawing 13 (B), the data terminals DP and DM can be arranged in a location distant from the corner portion CN. Thereby, the bonding wire of the data terminals DP and DM can be wired straightly, and the difference of the length of the bonding wire of DP and DM can be suppressed to the minimum. Consequently, the difference of the parasitism inductance of the bonding wire of DP and DM can also be suppressed to the minimum, load balance of DP and DM can be made equivalent, and the highly efficient sending circuit 104 can be realized now.

[0151] 8. A sending circuit and the sending circuit 104 of the arrangement relation book operation gestalt of a data terminal contain the current driver constituted by a constant current source IS (P type transistor with which the gate electrode was set as constant potential), and the N type transistors (switching device) NTP, NTA, and NTM, as shown in drawing 14 (A). Here, the gate electrode of the N type transistors NTP, NTA, and NTM is controlled by DPG, AVG, and DMG. And as shown in drawing 14 (B), by setting DPG as H level (active), constant current flows from a constant current source IS to DP through the N type transistor NTP, and the State of a bus will be in J condition. On the other hand, by setting DMG as H level, constant current flows by DM through the N type transistor NTM from a constant current source IS, and the State of a bus will be in K condition. And transmission with HS mode is attained by changing a bus into J or K condition according to transmit data.

[0152] On the other hand, by periods other than a transmitting (HS transmission) period, as shown in drawing 14 (B), constant current flows from a constant current source IS to AVSS through the N type transistor NTA by setting AVG as H level (the constant current from IS is canceled). Thus, also in periods other than a transmitting period, at the time of transmitting initiation, it becomes possible to pass stable constant current by DP or DM through NTP or NTM immediately, and the response of a sending circuit 104 can be raised by continuing passing the constant current of a constant current source IS to AVSS through the N type transistor NTA.

[0153] Now, when using a current driver as a sending circuit 104 in this way, it is desirable to adjust mutually the resistance, the capacity, and the inductance which is parasitic on the paths PTP and PTM of drawing 14 (A), and to maintain the load balance of DP and DM.

[0154] Then, as this operation gestalt shows to drawing 9, it is a direction DR1 (the 1st direction which goes to SD3 from SD1.) about a sending circuit 104 and the data terminals DP and DM. In above, it arranges adjacently.

[0155] As more specifically shown in drawing 15, right above the data terminals DP and DM (direction DR1), the N type transistors NTP and NTM of a sending circuit 104 (current driver of drawing 14 (A)) are arranged. Moreover, the power supply terminal AVSS which passes the constant current from a constant current source IS in periods other than a transmitting period has been arranged to the field between the data terminals DP and DM, and the N type transistor NTA is arranged right above this AVSS (direction DR1).

[0156] Thus, if it arranges, DP, parasitism resistance, the capacity and the inductance of wiring between NTP, and parasitism resistance, the capacity and the inductance of wiring between DM and NTM will be adjusted, and it will become easy to maintain the load balance of DP and DM. This becomes possible to raise the engine performance of a sending circuit 104.

[0157] Especially, with this operation gestalt, as drawing 13 (B) explained, the sending circuit 104 is arranged to the DR2 side (right-hand side) of a receiving circuit 100. And as drawing 15 explained, a sending circuit 104 adjoins DR1 side (above) of the data terminals DP and DM, and is arranged. Therefore, as the arrangement location of the data terminals DP and DM will separate from the corner portion CN and explained by drawing 13 (B) after all, the difference of the inductance which is parasitic on the bonding wire of DP and DM can also be lessened. Thereby, the load balance of DP and DM can be kept still better.

[0158] In addition, in drawing 15, the resistance Rpu of drawing 2, Rpu', and switching devices SW1 and SW2 are arranged to DR1 side (above) of NTP, NTA, and NTM. That is, he is trying for the layout of NTP, SW1, and Rpu and the layout of NTM, SW2, and Rpu' to become symmetry. It becomes possible to make into equivalence by this the resistance, the capacity, and the inductance which is parasitic on DP and DM. In addition, in drawing 15, a constant current source IS may be arranged to the DR1 of NTP, NTA, and NTM, and DR1 side (above) of Rpu and Rpu'.

[0159] 9. Explain the example of electronic equipment, next the electronic equipment containing the integrated circuit device (data transfer control unit) of this operation gestalt.

[0160] For example, internal-block drawing of the printer which is one of the electronic equipment is shown in drawing 16 (A), and the external view is shown in drawing 17 (A). CPU (microcomputer) 510 performs system-wide control etc. A control unit 511 is for a user to operate a printer. A control program, a font, etc. are stored in ROM516, and RAM517 functions on it as a work field of CPU510. DMAC518 is a DMA controller for performing data transfer, without minding CPU510. A display panel 519 is for telling a user about the operating state of a printer.

[0161] The serial printing data sent from other devices, such as a personal computer, through USB is changed into the printing data of parallel by the integrated circuit device 500. And the parallel printing data after conversion is sent to the printing processing section (printer engine) 512 by CPU510 or DMAC518. And in the printing processing section 512, given processing is performed to parallel printing data, and it is printed by paper by the printing section (equipment which performs output processing of data) 514 which consists of a print header etc., and is outputted.

[0162] Internal-block drawing of the scanner which is one of the electronic equipment is shown in drawing 16 (B), and the external view is shown in drawing 17 (B). CPU520 performs system-wide control etc. A control unit 521 is for a user to operate a scanner. A control program etc. is stored in ROM526 and RAM527 functions as a work field of CPU520. DMAC528 is a DMA controller.

[0163] The image of a manuscript is read by the image reading section (equipment which performs incorporation processing of data) 522 which consists of the light source, an optical/electrical converter, etc., and the data of the read image is processed by the image-processing section (scanner engine) 524. And the image data after processing is sent to an integrated circuit device 500 by CPU520 or DMAC528. An integrated circuit device 500 changes the image data of this parallel into serial data, and transmits it to other devices, such as a personal computer, through USB.

[0164] Internal-block drawing of the CD-RW drive which is one of the electronic equipment is shown in drawing 16 (C), and the external view is shown in drawing 17 (C). CPU530 performs system-wide control etc. A control unit 531 is for a user to operate CD-RW. A control program etc. is stored in ROM536 and RAM537 functions as a work field of CPU530. DMAC538 is a DMA controller.

[0165] The data which consists of laser, a motor, optical system, etc. and which read and was read in CD-RW532 by the & write-in section (equipment for performing the equipment or data storage processing in which incorporation processing of data is performed) 533 is inputted into the signal-processing section 534, and given signal processing, such as error correction processing, is performed. And the data with which signal processing was performed is sent to an integrated circuit device 500 by CPU530 or DMAC538. An integrated circuit device 500 changes the data of this parallel into serial data,

and transmits it to other devices, such as a personal computer, through USB.

[0166] On the other hand, the serial data sent from other devices through USB is changed into the data of parallel by the integrated circuit device 500. And these parallel data are sent to the signal-processing section 534 by CPU530 or DMAC538. And given signal processing is performed to the parallel data of a signal-processing section 534 smell lever, it reads, and CD-RW532 memorizes by the & write-in section 533.

[0167] In addition, you may make it prepare independently CPU for the data transfer control with an integrated circuit device 500 other than CPUs 510, 520, and 530 in drawing 16 (A), (B), and (C).

[0168] If the integrated circuit device of this operation gestalt is used for electronic equipment, data transfer in HS mode in USB2.0 can be realized. Therefore, when a user directs print-out with a personal computer etc., printing comes to be completed in little time lag. Moreover, it can read in little time lag after directions of the image incorporation by the scanner, and a user can see an image now. Moreover, reading of the data from CD-RW and the data to CD-RW can be written now in a high speed.

[0169] Moreover, if the integrated circuit device of this operation gestalt is used for electronic equipment, the integrated circuit device in which the data transfer in HS mode is possible can be manufactured also in the usual semiconductor process that a manufacturing cost is cheap. Therefore, low cost-ization of a data transfer control unit can be attained and low cost-ization of electronic equipment can also be attained now. Moreover, the reliability of data transfer can be improved and the reliability of electronic equipment can also improve now.

[0170] Moreover, if the integrated circuit device of this operation gestalt is used for electronic equipment, though the high performance of an integrated circuit device will be maintained, it becomes possible to meet the request of the various users who manufacture electronic equipment, and the added value of electronic equipment can be raised.

[0171] In addition, as electronic equipment which can apply the integrated circuit device of this operation gestalt, various things, such as various optical disk drives (CD-ROM, DVD), a Magnetic-Optical disk drive (MO), a hard disk drive, TV and VTR, a video camera, audio equipment, a telephone set, a projector, a personal computer, an electronic notebook, and a word processor, can be considered besides the above.

[0172] In addition, this invention is not limited to this operation gestalt, but deformation implementation various by within the limits of the summary of this invention is possible for it.

[0173] For example, the circuitry of the 1st macro cell of the integrated circuit device of this invention is not limited to the configuration shown in drawing 2 , and various deformation implementation is possible for it.

[0174] Moreover, arrangement of each circuit of the integrated circuit device of this invention is not limited to what was explained by drawing 3 (A) - drawing 15 , either, but various deformation implementation is possible for it.

[0175] Moreover, although especially the thing of this invention applied to the interface (data transfer) of USB2.0 is desirable, it is not limited to this. For example, this invention is applicable also to the interface of the specification based on the same thought as USB2.0, or the specification into which USB2.0 was developed.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the example of the notional functional block diagram of the integrated circuit device of this operation gestalt.

[Drawing 2] It is drawing showing the example of circuitry of a macro cell MC 1.

[Drawing 3] Drawing 3 (A), (B), and (C) are drawings showing the example of arrangement of macro cells MC1 and MC2.

[Drawing 4] It is drawing showing examples of arrangement, such as a data terminal.

[Drawing 5] It is drawing showing examples of arrangement, such as a clock generation circuit.

[Drawing 6] It is drawing showing the example of a configuration of a sampling clock generation circuit.

[Drawing 7] Drawing 7 (A) and (B) are the timing wave form charts for explaining actuation of a sampling clock generation circuit.

[Drawing 8] It is drawing showing the example of a configuration of PLL480M.

[Drawing 9] It is drawing showing the example of arrangement of a capacitor element field, a receiving circuit, a detector, and a sending circuit.

[Drawing 10] It is drawing for explaining the capacitor element CP.

[Drawing 11] Drawing 11 (A) and (B) are drawings for explaining actuation of a detector (squelch circuit).

[Drawing 12] It is drawing showing the example of a configuration of a detector.

[Drawing 13] Drawing 13 (A) and (B) are drawings for explaining the arrangement relation between a sending circuit and a receiving circuit.

[Drawing 14] Drawing 14 (A) and (B) are drawings for explaining the current driver of a sending circuit.

[Drawing 15] It is drawing showing the example of arrangement of Terminals DP, AVSS, and DM and the N type transistors NTP, NTA, and NTM.

[Drawing 16] Drawing 16 (A), (B), and (C) are the examples of internal-block drawing of various electronic equipment.

[Drawing 17] Drawing 17 (A), (B), and (C) are the examples of the external view of various electronic equipment.

[Description of Notations]

ICD Integrated circuit device

MCs 1 and 2 The 1st and 2nd macro cell

CN Corner portion

SD 1-4 The 1-4th sides

DR 1 and 2 The 1st and 2nd direction

IFR Interface field

IOR 1 and 2 I/O fields DP and DM Data terminal

VDD, VSS Power supply terminal

PVDD, PVSS The 1st power supply terminal
XVDD, XVSS The 2nd power supply terminal
AVDD, AVSS Power supply terminal
XI, XO Clock terminal
10 Data Handler Circuit
12 Clock Control Circuit
14 Clock Generation Circuit
20 HS Circuit
30 FS Circuit
40 Analog Front End Circuit
42 FS Driver
44 FS Differential Receiver
46 Single End DP Receiver
48 Single End DM Receiver
50 HS Current Driver (Sending Circuit)
52 Squelch Circuit for Low Speeds (Detector)
54 Squelch Circuit for High Speeds (Detector)
56 HS Differential Receiver (Receiving Circuit)
70 Edge Detector
72 Clock Selection Circuitry
100 Receiving Circuit
102 Detector
104 Sending Circuit
110 Capacitor Element Field
112 Logical Circuit

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] An integrated circuit device containing two or more macro cells characterized by providing the following The 1st macro cell which includes at least a circuit of the physical layer of given interface specification which performs data transfer through a bus It is the circuit of the upper layer from said physical layer.

[Claim 2] In claim 1, to the 1st I/O field arranged along said 1st side of said 1st macro cell A data terminal connected to a bus of said given interface specification is arranged. An integrated circuit device characterized by arranging either [at least] a power supply terminal of a circuit which generates a clock for data transfer which minded [which is arranged along said 2nd side of said 1st macro cell / 2nd / I/O] said data terminal, or a clock terminal.

[Claim 3] An integrated circuit device characterized by preparing an interface field for exchanging a signal between the said 1st and 2nd macro cell at least along with one side of the 4th side which in claim 1 or 2 the 3rd side which counters said 1st side of said 1st macro cell, or said 2nd side.

[Claim 4] A receiving circuit which said 1st macro cell is connected to a data terminal connected to a bus of said given interface specification in claim 1 thru/or either of 3, and receives data through said data terminal, It is based on a clock generated by a clock generation circuit which generates a clock of given frequency, and said clock generation circuit. A sampling clock generation circuit which generates a sampling clock of data transmitted through said data terminal is included. When a direction which goes to the 3rd side which counters from said 1st side of said 1st macro cell is made into the 1st direction To the direction side of said 1st [the] of the 1st I/O field arranged along said 1st side When a direction which goes to the 4th side which said receiving circuit is arranged and counters from said 2nd side of said 1st macro cell is made into the 2nd direction To the direction side of said 2nd [the] of the 2nd I/O field arranged along said 2nd side An integrated circuit device characterized by arranging said clock generation circuit, being the direction side of said 1st [the] of said receiving circuit, and arranging said sampling clock generation circuit at the direction side of said 2nd [the] of said clock generation circuit.

[Claim 5] Claim 4 characterized by providing the following An edge detector which detects whether an edge of data is between which [in an edge of the 1st - the Nth clock with which said clock generation circuit had same frequency, and generated the 1st - the Nth clock with which phases differ mutually, and said sampling clock generation circuit was generated] edges A clock selection circuitry which outputs a clock which chose and chose one of clocks as said sampling clock out of said 1st [the] - the Nth clock based on edge detection information on said edge detector

[Claim 6] The 1st power supply terminal which supplies a power supply to said clock generation circuit in claim 4 or 5, The 2nd power supply terminal which supplies a power supply to said sampling clock generation circuit Are arranged to said 2nd I/O field, and in said 2nd direction, said clock generation circuit adjoins said 1st power supply terminal, and is arranged. An integrated circuit device characterized by for a field of a capacitor element where an end is connected to a power supply terminal by the side of high potential of said 2nd power supply terminal, and the other end is connected to a

power supply terminal by the side of low voltage adjoining said 2nd power supply terminal, and arranging it in said 2nd direction.

[Claim 7] A receiving circuit which said 1st macro cell is connected to a data terminal connected to a bus of said given interface specification in claim 1 thru/or either of 6, and receives data through said data terminal, Connect with said data terminal and a detector which detects whether data received through said data terminal is effective is included. An integrated circuit device characterized by for said receiving circuit and said detector adjoining and arranging them in said 2nd direction when a direction which goes to the 4th side which counters from said 2nd side of said 1st macro cell is made into the 2nd direction.

[Claim 8] A receiving circuit which said 1st macro cell is connected to a data terminal connected to a bus of said given interface specification in claim 1 thru/or either of 7, and receives data through said data terminal, Connect with said data terminal and a sending circuit which transmits data through said data terminal is included. An integrated circuit device with which said sending circuit is characterized by being arranged at the direction side of said 2nd [the] of said receiving circuit when a direction which goes to the 4th side which counters from said 2nd side of said 1st macro cell is made into the 2nd direction.

[Claim 9] A receiving circuit which said 1st macro cell is connected to a data terminal connected to a bus of said given interface specification in claim 1 thru/or either of 8, and receives data through said data terminal, Connect with said data terminal and a sending circuit which transmits data through said data terminal is included. An integrated circuit device characterized by for said sending circuit and said data terminal adjoining, and arranging them in said 1st direction when a direction which goes to the 3rd side which counters from said 1st side of said 1st macro cell is made into the 1st direction.

[Claim 10] An integrated circuit device characterized by for said 1st macro cell being a macro cell by which wiring and circuit cel arrangement are fixed in claim 1 thru/or either of 9, and said 2nd macro cell being a macro cell by which automatic-layout wiring of wiring and the circuit cel arrangement is carried out.

[Claim 11] An integrated circuit device with which said given interface specification is characterized by being USB (Universal Serial Bus) specification in claim 1 thru/or either of 10.

[Claim 12] Electronic equipment characterized by including equipment which performs output processing, incorporation processing, or storage processing of data transmitted through an integrated circuit device, and said integrated circuit device and said bus of claim 1 thru/or either of 11.

[Translation done.]

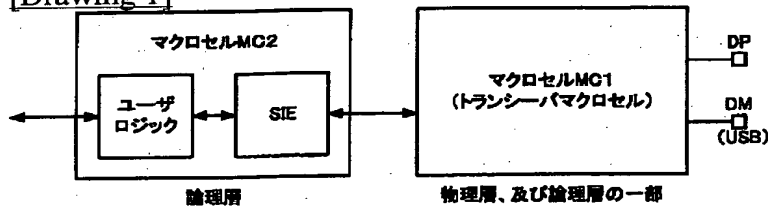
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

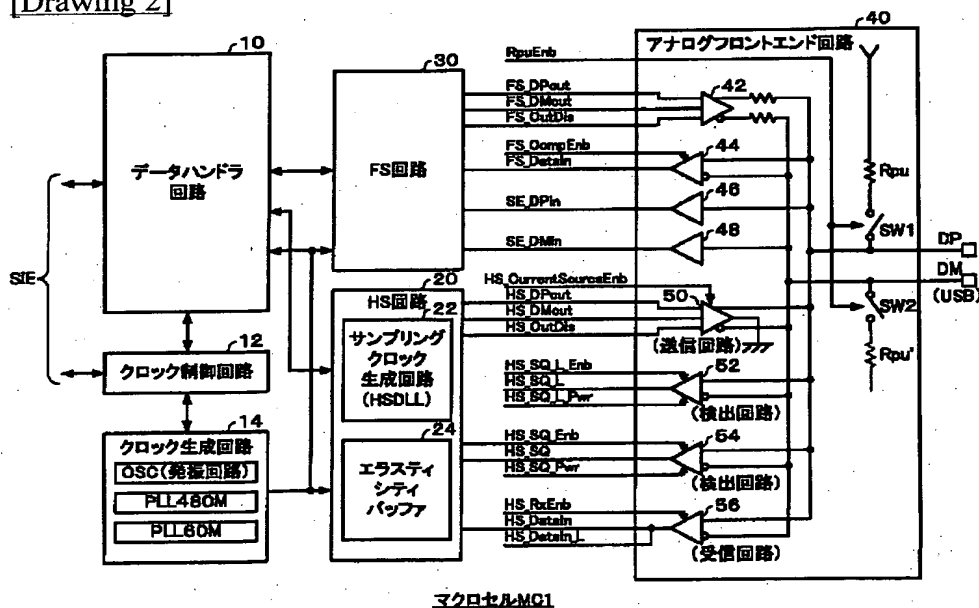
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

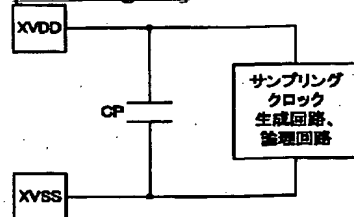
[Drawing 1]



[Drawing 2]

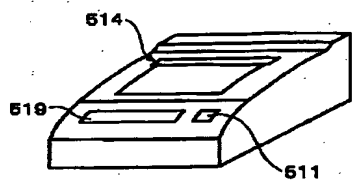


[Drawing 10]

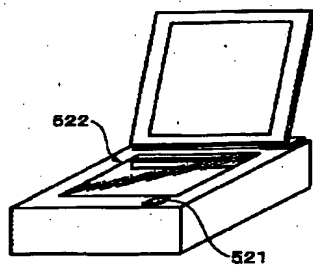


[Drawing 17]

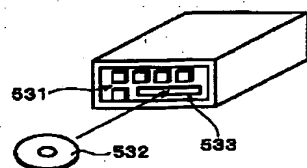
(A)



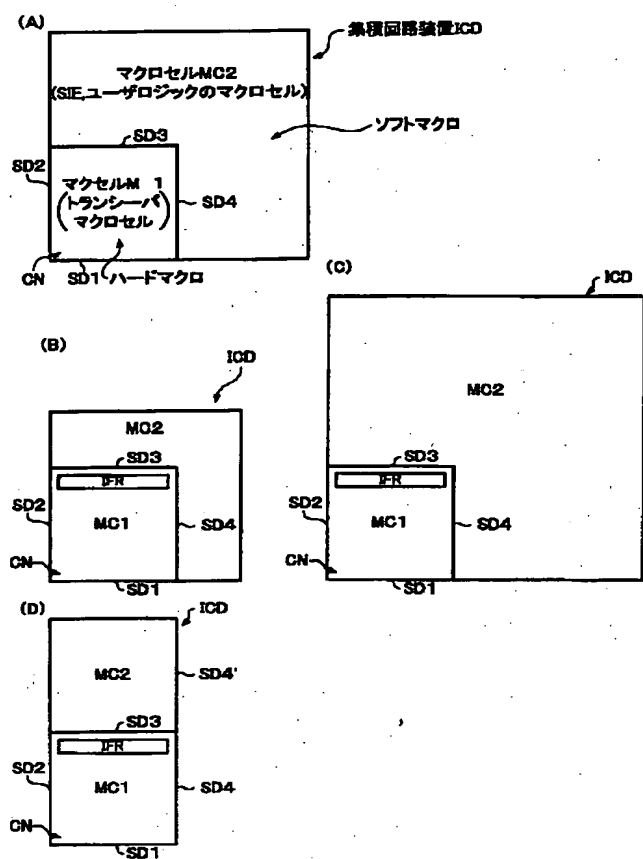
(B)



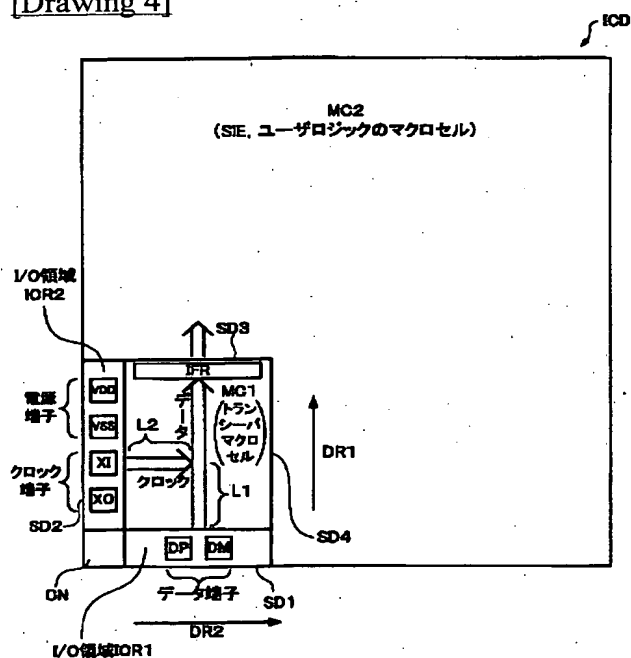
(C)



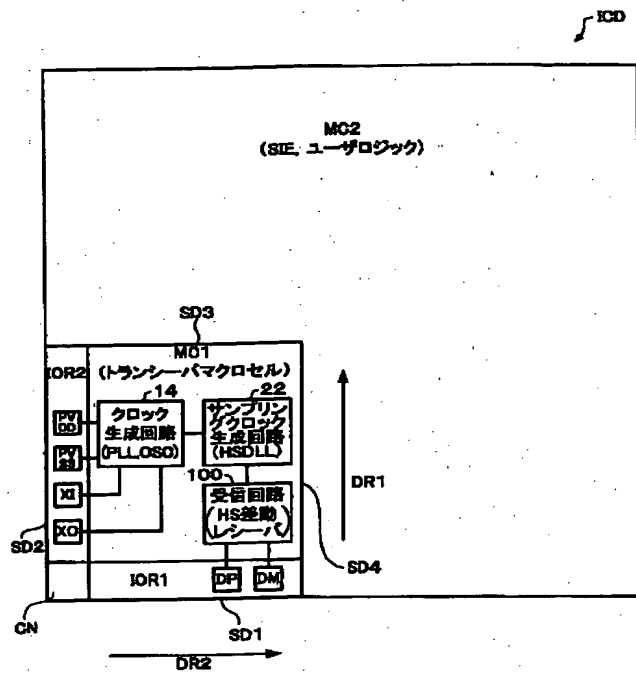
[Drawing 3]



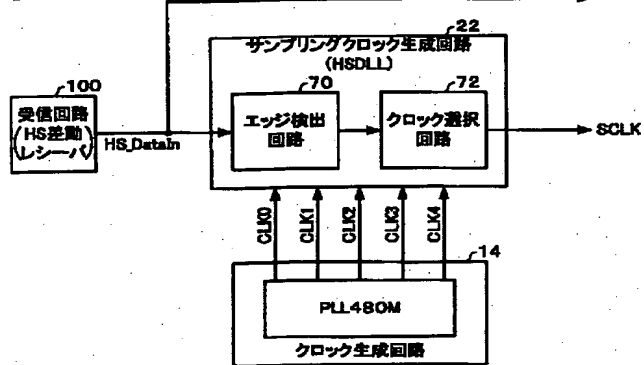
[Drawing 4]



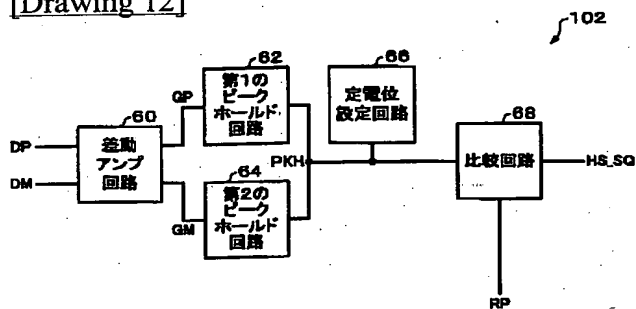
[Drawing 5]



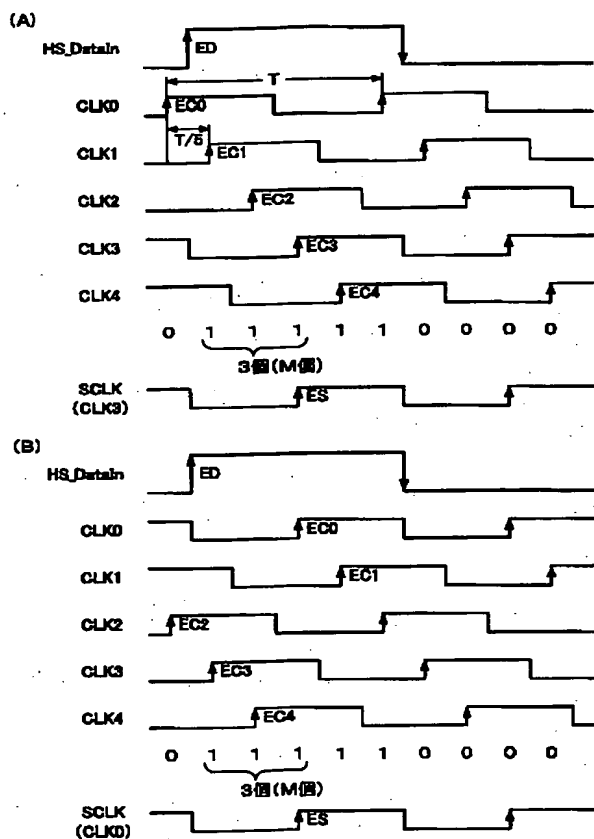
[Drawing 6]



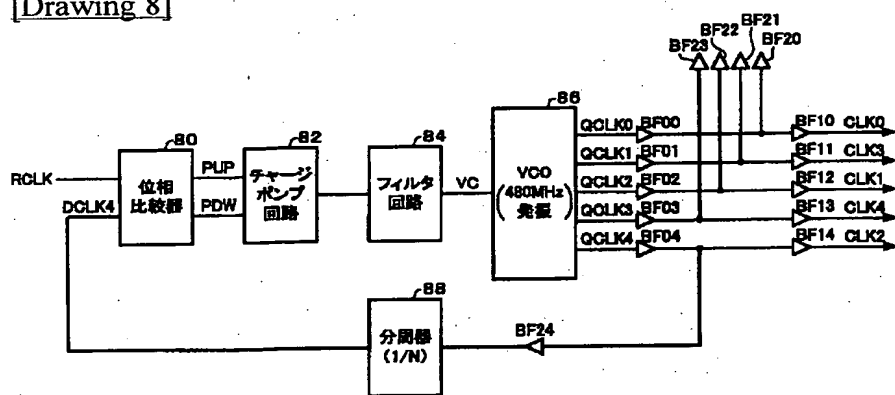
[Drawing 12]



[Drawing 7]

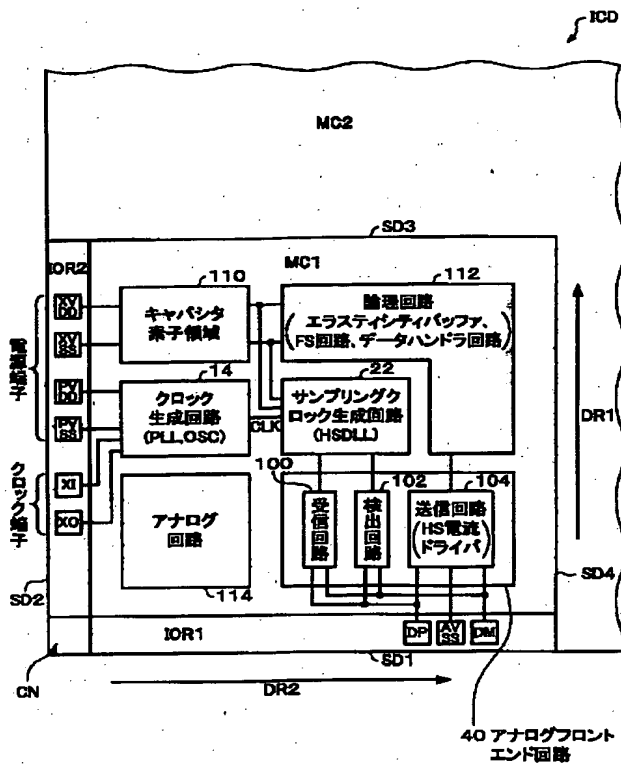


[Drawing 8]



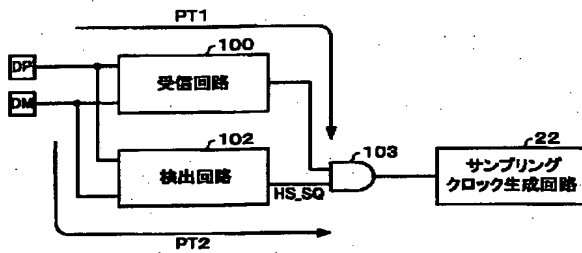
PLL480M

[Drawing 9]

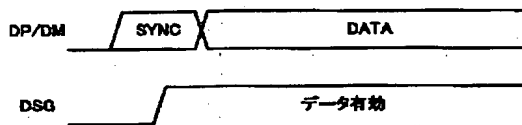


[Drawing 11]

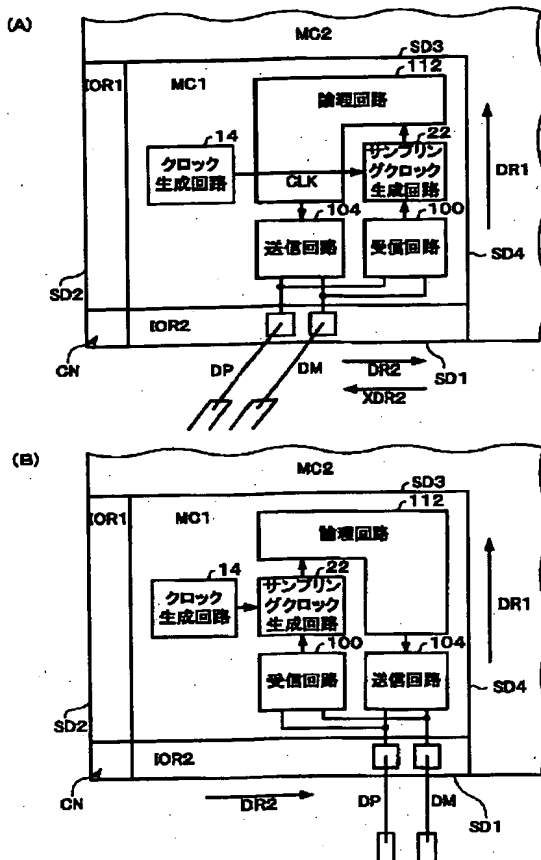
(A)



(B)

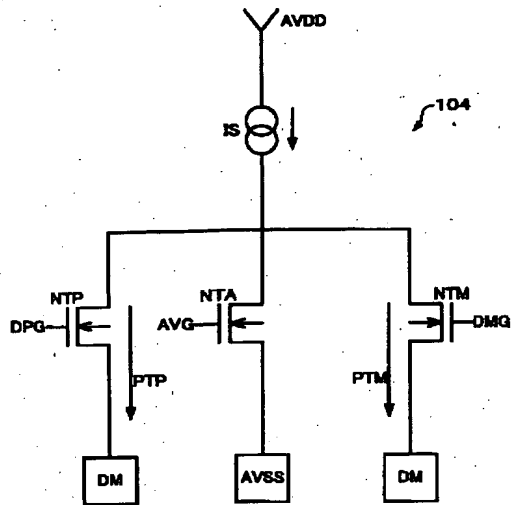


[Drawing 13]

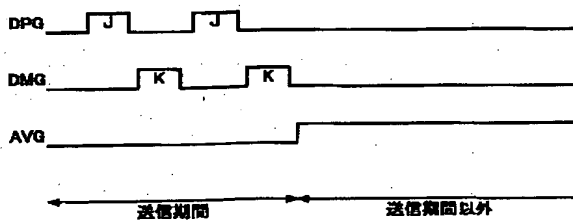


[Drawing 14]

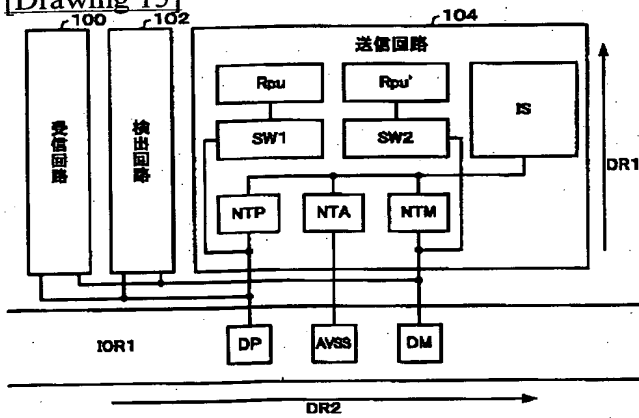
(A)



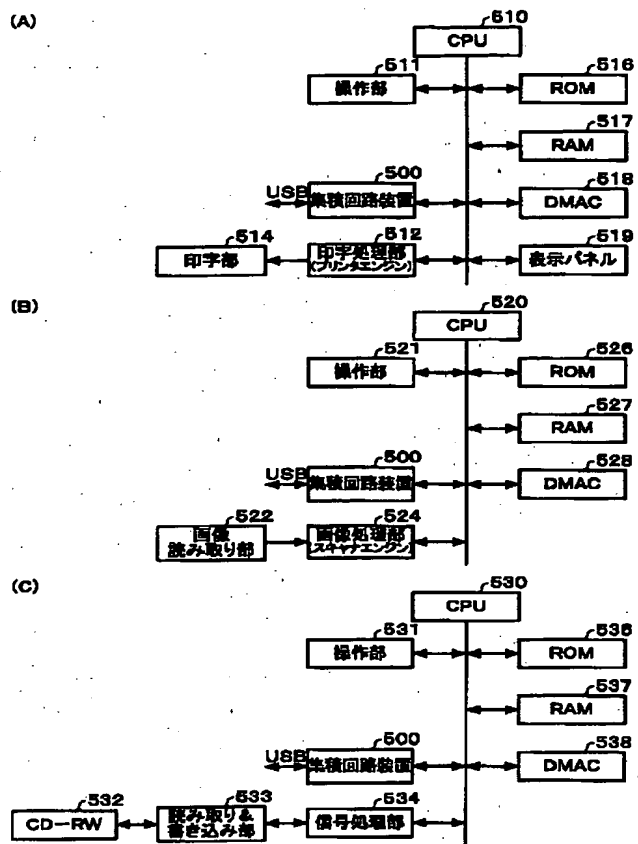
(B)



[Drawing 15]



[Drawing 16]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-343864

(P2002-343864A)

(43) 公開日 平成14年11月29日 (2002. 11. 29)

(51) Int.Cl.⁷

識別記号

F I

テマコード* (参考)

H 0 1 L 21/82
21/822
27/04
// G 0 6 F 1/12

H 0 1 L 21/82
27/04
G 0 6 F 1/04

B 5 F 0 3 8
A 5 F 0 6 4
U
3 4 0 D

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21) 出願番号 特願2001-141998(P2001-141998)

(22) 出願日 平成13年5月11日 (2001. 5. 11)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 笠原 昌一郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 秋山 千里

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

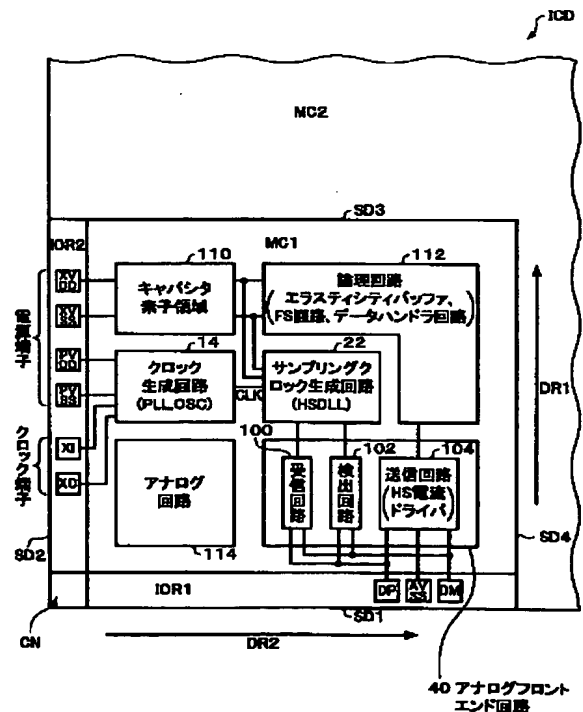
最終頁に続く

(54) 【発明の名称】 集積回路装置

(57) 【要約】

【課題】 物理層の回路の高性能を維持しながら、種々の構成の上層の回路を組み込むことができる集積回路装置及びこれを用いた電子機器を提供すること。

【解決手段】 USB 2. 0の物理層の回路を含むマクロセルMC1を集積回路装置ICDのコーナに配置する。辺SD1に沿ったI/O領域IOR1にデータ端子DP、DMを配置し、辺SD2に沿ったI/O領域IOR2に、クロック生成回路14、サンプリングクロック回路22の電源端子PVDD、PVSS、XVDD、XVSSや、クロック端子XI、XOを配置する。ユーザロジックを含むマクロセルMC2とのインターフェース領域を辺SD3に沿って設ける。IOR1のDR1側に受信回路100を配置し、IOR2のDR2側にクロック生成回路14を配置し、受信回路100のDR1側で且つクロック生成回路14のDR2側にサンプリングクロック生成回路22を配置する。送信回路104を、受信回路100のDR2側でデータ端子DP、DMのDR1側に配置する。



(2)

1

【特許請求の範囲】

【請求項1】 複数のマクロセルを含む集積回路装置であって、
バスを介してデータ転送を行う所与のインターフェース規格の物理層の回路を少なくとも含む第1のマクロセルと、
前記物理層よりも上位層の回路を含む第2のマクロセルとを含み、
前記第1のマクロセルの第1、第2の辺が交差する部分であるコーナ部分が、集積回路装置のコーナ部分に位置するように、前記第1のマクロセルが配置されることを特徴とする集積回路装置。

【請求項2】 請求項1において、
前記第1のマクロセルの前記第1の辺に沿って配置される第1のI/O領域に、前記所与のインターフェース規格のバスに接続されるデータ端子が配置され、前記第1のマクロセルの前記第2の辺に沿って配置される第2のI/O領域に、前記データ端子を介したデータ転送のためのクロックを生成する回路の電源端子、及びクロック端子の少なくとも一方が配置されることを特徴とする集積回路装置。

【請求項3】 請求項1又は2において、
前記第1のマクロセルの前記第1の辺に対向する第3の辺又は前記第2の辺に対向する第4の辺の少なくとも一方に沿って、前記第1、第2のマクロセル間で信号をやり取りするためのインターフェース領域が設けられていることを特徴とする集積回路装置。

【請求項4】 請求項1乃至3のいずれかにおいて、
前記第1のマクロセルが、
前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、
所与の周波数のクロックを生成するクロック生成回路と、
前記クロック生成回路により生成されたクロックに基づいて、前記データ端子を介して転送されるデータのサンプリングクロックを生成するサンプリングクロック生成回路とを含み、
前記第1のマクロセルの前記第1の辺から対向する第3の辺へと向かう方向を第1の方向とした場合に、前記第1の辺に沿って配置される第1のI/O領域の前記第1の方向側に、前記受信回路が配置され、
前記第1のマクロセルの前記第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記第2の辺に沿って配置される第2のI/O領域の前記第2の方向側に、前記クロック生成回路が配置され、
前記受信回路の前記第1の方向側であり前記クロック生成回路の前記第2の方向側に、前記サンプリングクロック生成回路が配置されることを特徴とする集積回路装置。

2

【請求項5】 請求項4において、
前記クロック生成回路が、
周波数が同一で位相が互いに異なる第1～第Nのクロックを生成し、
前記サンプリングクロック生成回路が、
生成された第1～第Nのクロックのエッジの中のいずれのエッジ間にデータのエッジがあるかを検出するエッジ検出回路と、
前記エッジ検出回路でのエッジ検出情報に基づいて、前記第1～第Nのクロックの中からいずれかのクロックを選択し、選択したクロックを前記サンプリングクロックとして出力するクロック選択回路とを含むことを特徴とする集積回路装置。

【請求項6】 請求項4又は5において、
前記クロック生成回路に電源を供給する第1の電源端子と、前記サンプリングクロック生成回路に電源を供給する第2の電源端子とが、前記第2のI/O領域に配置され、
前記クロック生成回路が、前記第2の方向において前記第1の電源端子に隣接して配置され、
前記第2の電源端子の高電位側の電源端子に一端が接続され低電位側の電源端子に他端が接続されるキャパシタ素子の領域が、前記第2の方向において前記第2の電源端子に隣接して配置されることを特徴とする集積回路装置。

【請求項7】 請求項1乃至6のいずれかにおいて、
前記第1のマクロセルが、
前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、
前記データ端子に接続され、前記データ端子を介して受信されるデータが有効か否かを検出する検出回路とを含み、
前記第1のマクロセルの前記第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記受信回路と前記検出回路とが、前記第2の方向において隣接して配置されることを特徴とする集積回路装置。

【請求項8】 請求項1乃至7のいずれかにおいて、
前記第1のマクロセルが、
前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、
前記データ端子に接続され、前記データ端子を介してデータを送信する送信回路とを含み、
前記第1のマクロセルの前記第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記送信回路が、前記受信回路の前記第2の方向側に配置されることを特徴とする集積回路装置。

【請求項9】 請求項1乃至8のいずれかにおいて、
前記第1のマクロセルが、

(3)

3

前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、

前記データ端子に接続され、前記データ端子を介してデータを送信する送信回路とを含み、

前記第1のマクロセルの前記第1の辺から対向する第3の辺へと向かう方向を第1の方向とした場合に、前記送信回路と前記データ端子とが、前記第1の方向において隣接して配置されることを特徴とする集積回路装置。

【請求項10】 請求項1乃至9のいずれかにおいて、前記第1のマクロセルが、配線及び回路セル配置が固定化されるマクロセルであり、

前記第2のマクロセルが、配線及び回路セル配置が自動配置配線されるマクロセルであることを特徴とする集積回路装置。

【請求項11】 請求項1乃至10のいずれかにおいて、前記所与のインターフェース規格が、USB (Universal Serial Bus) 規格であることを特徴とする集積回路装置。

【請求項12】 請求項1乃至11のいずれかの集積回路装置と、

前記集積回路装置及び前記バスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置と、を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路装置及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】近年、パーソナルコンピュータと周辺機器（広義には電子機器）とを接続するためのインターフェース規格として、USB (Universal Serial Bus) が注目を集めている。このUSBには、従来は別々の規格のコネクタで接続されていたマウスやキーボードやプリンタなどの周辺機器を、同じ規格のコネクタで接続できると共にいわゆるプラグ&プレイやホットプラグも実現できるという利点がある。

【0003】一方、このUSBには、同じくシリアルバスインターフェース規格として脚光を浴びているIEEE 1394に比べて、転送速度が遅いという問題点がある。

【0004】そこで、従来のUSB 1.1の規格に対する下位互換性を持ちながら、USB 1.1に比べて格段に高速な480Mbps (HSモード) のデータ転送速度を実現できるUSB 2.0規格が策定され、注目を浴びている。また、USB 2.0の物理層回路や、論理層回路の一部についてのインターフェース仕様を定義した

4

UTMI (USB 2.0 Transceiver Macrocell Interface) も策定されている。

【0005】さて、このUSB 2.0では、従来のUSB 1.1で定義されていたFS (Full Speed) モードに加えて、HS (High Speed) モードと呼ばれる転送モードが用意されている。このHSモードでは480Mbpsでデータ転送が行われるため、12Mbpsでデータ転送が行われるFSモードに比べて格段に高速なデータ転送を実現できる。従って、USB 2.0によれば、高速な転送速度が要求されるハードディスクドライブや光ディスクドライブなどのストレージ機器に最適なインターフェースを提供できるようになる。

【0006】しかしながら、USB 2.0では、小振幅の信号を、USB 1.1よりも格段に高速に送受信する必要がある。従って、この小振幅の信号を処理する物理層の回路には高性能が要求され、この物理層の回路を含むUTMI準拠のマクロセル（メガセル、マクロブロック）では、セル配置や配線についても手作業で行うことが望まれる。

【0007】一方、UTMI準拠のマクロセルを含む集積回路装置には、SIE (Serial Interface Engine) やユーザロジックなどの論理層の回路が組み込まれ、この論理層の回路の構成や規模は、集積回路装置を使用するユーザに応じて異なったものになる。従って、このようなマクロセルを含む集積回路装置の設計や製造においては、物理層の回路の高性能を維持しながら、多様なユーザの要望に応えなければならないという技術的課題がある。

【0008】本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、物理層の回路の高性能を維持しながら、種々の構成の上層の回路を組み込むことができる集積回路装置及びこれを用いた電子機器を提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決するために本発明に係る集積回路装置は、複数のマクロセルを含む集積回路装置であって、バスを介してデータ転送を行う所与のインターフェース規格の物理層の回路を少なくとも含む第1のマクロセルと、前記物理層よりも上位層の回路を含む第2のマクロセルとを含み、前記第1のマクロセルの第1、第2の辺が交差する部分であるコーナ部分が、集積回路装置のコーナ部分に位置するように、前記第1のマクロセルが配置されることを特徴とする。

【0010】本発明では、物理層（例えば最下位層）の回路を含む第1のマクロセルのコーナ部分が集積回路装置のコーナ部分に位置するように（コーナ部分が略一致する場合も含む）、第1のマクロセルが配置される。そして、例えば第1のマクロセルとは異なる配置領域に、物理層よりも上位層の回路を含む第2のマクロセルが配置される。このようにすれば、第1のマクロセルが含む

5

物理層の回路の高性能を維持しながら、種々の構成の上位層回路を第2のマクロセルとして集積回路装置に組み込むことが可能となる。

【0011】なお、第1のマクロセルに上位層の回路の一部を含ませてもよい。また、集積回路装置に、第1、第2のマクロセル以外のマクロセルを含ませることもできる。

【0012】また本発明は、前記第1のマクロセルの前記第1の辺に沿って配置される第1のI/O領域に、前記所与のインターフェース規格のバスに接続されるデータ端子が配置され、前記第1のマクロセルの前記第2の辺に沿って配置される第2のI/O領域に、前記データ端子を介したデータ転送のためのクロックを生成する回路の電源端子、及びクロック端子の少なくとも一方が配置されることを特徴とする。

【0013】このようにすれば、例えば、第1の辺から第3の辺に向かって流れるデータを、第2の辺から第4の辺に向かって入力されるクロックを利用してサンプリングすることなどが可能となり、無駄の無い合理的なデータ転送を実現できる。

【0014】また本発明は、前記第1のマクロセルの前記第1の辺に対向する第3の辺又は前記第2の辺に対向する第4の辺の少なくとも一方に沿って、前記第1、第2のマクロセル間で信号をやり取りするためのインターフェース領域が設けられていることを特徴とする。

【0015】このようにすれば、例えば、第1、第2のマクロセル間でやり取りされる信号の遅延や受け渡しタイミングを適正な範囲に収めることを、容易化できる。

【0016】なお、インターフェース領域には、第1のマクロセルからの信号を第2のマクロセルに伝えるためのバッファや、第2のマクロセルからの信号を第1のマクロセルに伝えるためのバッファなどを含ませることができる。

【0017】また本発明は、前記第1のマクロセルが、前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、所与の周波数のクロックを生成するクロック生成回路と、前記クロック生成回路により生成されたクロックに基づいて、前記データ端子を介して転送されるデータのサンプリングクロックを生成するサンプリングクロック生成回路とを含み、前記第1のマクロセルの前記第1の辺から対向する第3の辺へと向かう方向を第1の方向とした場合に、前記第1の辺に沿って配置される第1のI/O領域の前記第1の方向側に、前記受信回路が配置され、前記第1のマクロセルの前記第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記第2の辺に沿って配置される第2のI/O領域の前記第2の方向側に、前記クロック生成回路が配置され、前記受信回路の前記第1の方向側であり前記クロック生成回路の前記第2の方向側に、前記サ

(4)

6

ンプリングクロック生成回路が配置されることを特徴とする。

【0018】このようにすれば、受信回路とサンプリングクロック生成回路との間の距離や、クロック生成回路とサンプリングクロック生成回路との間の距離を短くできるようになり、配線の寄生容量や寄生抵抗が回路動作に与える悪影響を軽減できる。

【0019】なお、サンプリングクロック生成回路を、第1の方向において受信回路に隣接し、第2の方向においてクロック生成回路に隣接するように配置してもよい。

【0020】また本発明は、前記クロック生成回路が、周波数が同一で位相が互いに異なる第1～第Nのクロックを生成し、前記サンプリングクロック生成回路が、生成された第1～第Nのクロックのエッジの中のいずれのエッジ間にデータのエッジがあるかを検出するエッジ検出回路と、前記エッジ検出回路でのエッジ検出情報に基づいて、前記第1～第Nのクロックの中からいずれかのクロックを選択し、選択したクロックを前記サンプリングクロックとして出力するクロック選択回路とを含むことを特徴とする。

【0021】本発明によれば、多相の第1～第Nのクロックのエッジの中のいずれのエッジ間にデータのエッジがあるかが検出される。例えば、データのエッジが、第1、第2のクロックのエッジ間にあるのか、第2、第3のクロックのエッジ間にあるのか等が検出される。そして、得られたエッジ検出情報（どのクロックのエッジ間にデータのエッジがあるのかを示す情報）に基づいて、第1～第Nのクロックの中からいずれかのクロックが選択され、そのクロックがサンプリングクロックとして出力される。

【0022】このように本発明によれば、エッジ検出情報に基づいて第1～第Nのクロックの中からクロックを選択するという簡素な構成で、データのサンプリングクロックを生成できる。従って、高速なクロックに同期して入力されるデータであっても、そのデータをサンプリングするための適正なサンプリングクロックを、小規模な回路構成で生成できるようになる。

【0023】また本発明は、前記クロック生成回路に電源を供給する第1の電源端子と、前記サンプリングクロック生成回路に電源を供給する第2の電源端子とが、前記第2のI/O領域に配置され、前記クロック生成回路が、前記第2の方向において前記第1の電源端子に隣接して配置され、前記第2の電源端子の高電位側の電源端子に一端が接続され低電位側の電源端子に他端が接続されるキャパシタ素子の領域が、前記第2の方向において前記第2の電源端子に隣接して配置されることを特徴とする。

【0024】このようにすれば、第1の電源端子とクロック生成回路との間の電源配線の長さを短くできるた

(5)

7

め、電源の電圧ドロップを最小限に抑えることが可能になる。

【0025】また、第1の電源端子の電源電圧変動を、第1の電源端子に近い場所で効果的に安定化できるようになり、サンプリングクロック生成回路などの回路の安定動作を保証できるようになる。

【0026】また本発明は、前記第1のマクロセルが、前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、前記データ端子に接続され、前記データ端子を介して受信されるデータが有効か否かを検出する検出回路とを含み、前記第1のマクロセルの前記第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記受信回路と前記検出回路とが、前記第2の方向において隣接して配置されることを特徴とする。

【0027】このようにすれば、誤った受信データが後段の回路に伝えられたりするなどの不具合を効果的に防止でき、安定した回路動作を実現できる。

【0028】また本発明は、前記第1のマクロセルが、前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、前記データ端子に接続され、前記データ端子を介してデータを送信する送信回路とを含み、前記第1のマクロセルの前記第2の辺から対向する第4の辺へと向かう方向を第2の方向とした場合に、前記送信回路が、前記受信回路の前記第2の方向側に配置されることを特徴とする。

【0029】このようにすれば、例えば、受信データのサンプリングに使用されるクロックの経路等を短くできる一方で、そのクロックの経路と送信データの経路とが重なってしまうなどの事態を防止できる。

【0030】また本発明は、前記第1のマクロセルが、前記所与のインターフェース規格のバスに接続されるデータ端子に接続され、前記データ端子を介してデータを受信する受信回路と、前記データ端子に接続され、前記データ端子を介してデータを送信する送信回路とを含み、前記第1のマクロセルの前記第1の辺から対向する第3の辺へと向かう方向を第1の方向とした場合に、前記送信回路と前記データ端子とが、前記第1の方向において隣接して配置されることを特徴とする。

【0031】このようにすれば、送信回路とデータ端子との距離を短くできるようになり、データ端子の配線経路に寄生する抵抗・容量・インダクタンスが回路動作に与える悪影響等を最小限に抑えることができる。

【0032】また本発明は、前記第1のマクロセルが、配線及び回路セル配置が固定化されるマクロセルであり、前記第2のマクロセルが、配線及び回路セル配置が自動配置配線されるマクロセルであることを特徴とする。

8

【0033】このようにすれば、第1のマクロセルを含む物理層の高性能を維持しながら、自動配置配線を用いて種々の構成の回路を、第2のマクロセルとして集積回路装置に組み込むことが可能になる。

【0034】また本発明は、前記所与のインターフェース規格が、USB (Universal Serial Bus) 規格であることを特徴とする。

【0035】この場合に所与のインターフェース規格として、USB 2.0 規格やUSB 2.0 規格を更に発展させた規格を用いることができる。

【0036】また本発明に係る電子機器は、上記のいずれかの集積回路装置と、前記集積回路装置及び前記バスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置とを含むことを特徴とする。

【0037】このようにすれば、高性能な物理層の回路を含む集積回路装置を電子機器に組み込むことができるため、電子機器の性能を向上できる。一方、第2のマクロセルの回路構成を変えることで、種々の回路構成の集積回路装置を電子機器に組み込むことが可能となり、多様なユーザの要望に応えることができる。

【0038】

【発明の実施の形態】以下、本発明の実施形態について図面を用いて詳細に説明する。

【0039】なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を何ら限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0040】1. 回路構成

図1に示すように本実施形態の集積回路装置（データ転送制御装置）は、マクロセルMC1（第1のマクロセル）とマクロセルMC2（第2のマクロセル）を含む。なお、これらのマクロセルMC1、MC2（メガセル、マクロブロック）は、論理機能を有する中規模又は大規模な回路の単位である。また、本実施形態の集積回路装置は3個以上のマクロセルを含むようにしてもよい。

【0041】図1においてMC1は、バス（例えばシリアルバス）を介してデータ転送を行うインターフェース規格（例えばUSB又はIEEE1394等）の物理層の回路を少なくとも含むマクロセルである。USB 2.0（或いはUSB 2.0を発展させた規格）を例にとれば、MC1として、UTMI (USB2.0 Transceiver Macrocell Interface) の仕様に準拠したトランシーバマクロセルを用いることができる。この場合には、MC1は、物理層回路、及び論理層回路の一部を含むことになる。

【0042】一方、MC2は、物理層よりも上位層（論理層、プロトコル層又はアプリケーション層等）の回路を含むマクロセルである。USB 2.0を例にとれば、MC2は、SIE (Serial Interface Engine) やユーザロジック（デバイス固有の回路）などの論理層回路

9

(MC 1 が含む論理層回路の他の部分) を含むことになる。

【0043】なお、図1において、MC 1として、物理層の回路のみを含むマクロセルを用いてもよい。また、MC 2は、少なくとも物理層よりも上位の層の回路を含むものであればよい。

【0044】図2に、マクロセルMC 1の回路構成の一例を示す。

【0045】マクロセルMC 1 (第1のマクロセル) は、データハンドラ回路10、クロック制御回路12、クロック生成回路14、HS (High Speed) 回路20、FS (Full Speed) 回路30を含む。これらの回路は論理層回路である。また、MC 1は、物理層回路であるアナログフロントエンド回路40 (送受信回路) を含む。なお、マクロセルMC 1は、図2に示す回路ブロックの全てを含む必要はなく、それらの一部を省略する構成としてもよい。

【0046】データハンドラ回路10 (広義には、データ転送を行うための所与の回路) は、USB 2. 0に準拠したデータ転送のための種々の処理を行う。より具体的には、送信時には、送信データにSYNC (SYNChronization)、SOP (Start Of Packet)、EOP (End Of Packet) を付加する処理や、ビットスタッフィング処理等を行う。一方、受信時には、受信データのSYNC、SOP、EOPを検出し、削除する処理や、ビットアンスタッフィング処理などを行う。更に、データハンドラ回路10は、データの送受信を制御するための各種のタイミング信号を生成する処理も行う。

【0047】なお、受信データはデータハンドラ回路10から後段の回路であるSIE (Serial Interface Engine) に出力され、送信データはSIEからデータハンドラ回路10に入力されることになる。そして、このSIEは、USBパケットIDやアドレスを識別するためのSIE制御ロジックと、エンドポイント番号の識別やFIFO制御などのエンドポイント処理を行うためのエンドポイントロジックとを含む。

【0048】クロック制御回路12は、SIEからの各種の制御信号を受け、クロック生成回路14を制御する処理などを行う。

【0049】クロック生成回路14は、装置内部で使用する480MHzのクロックや、装置内部及びSIEで使用する60MHzのクロックを生成する回路であり、OSC、PLL480M、PLL60Mを含む。

【0050】ここでOSC (発振回路) は、例えば外部振動子との組み合わせによりベースクロックを生成する。

【0051】PLL480Mは、OSC (発振回路) で生成されたベースクロックに基づいて、HS (High Speed) モードで必要な480MHzのクロックと、FS (FullSpeed) モード、装置内部及びSIEで必要な6

(6)

10

0MHzのクロックを生成するPLL (Phase Locked Loop) である。

【0052】PLL60Mは、OSC (発振回路) で生成されたベースクロックに基づいて、FSモード、装置内部及びSIEで必要な60MHzのクロックを生成する。

【0053】HS回路20は、データ転送速度が480MbpsとなるHSモードでのデータの送受信を行うためのロジック回路であり、FS回路30は、データ転送速度が12MbpsとなるFSモードでのデータの送受信を行うためのロジック回路である。

【0054】HS回路20は、サンプリングクロック生成回路22 (HSDL L. High Speed Delay Line PLL)、エラスティシティバッファ (elasticity buffer) 24を含む。

【0055】ここで、サンプリングクロック生成回路22は、クロック生成回路14によって生成されたクロックと、受信データとに基づいて、受信データのサンプリングクロックを生成する。

【0056】また、エラスティシティバッファ24は、装置内部と、外部装置 (バスに接続される外部装置) とのクロック周波数差 (クロックドリフト) 等を吸収するための回路である。

【0057】アナログフロントエンド回路40 (送受信回路) は、FSやHSモードでの送受信を行うためのドライバやレシーバを含むアナログ回路である。USBでは、データ端子DP (Data+) 及びDM (Data-) を用いた差動信号によりデータを送受信する。

【0058】USB 2. 0では、HSモード (広義には、第1のモード) とFSモード (広義には、第2のモード) が、転送モードとして定義されている。HSモードは、USB 2. 0により新たに定義された転送モードである。FSモードは、従来のUSB 1. 1で既に定義されている転送モードである。

【0059】このため、本実施形態の集積回路装置では、アナログフロントエンド回路40が、HSモードでの送受信を行うためのHSモード用ドライバ及びレシーバと、FSモードで送受信を行うためのFSモード用ドライバ及びレシーバを含む。

【0060】より具体的には、アナログフロントエンド回路40は、FSドライバ42、FS差動レシーバ44、シングルエンド (Single ended) DPレシーバ46、シングルエンドDMレシーバ48、HS電流ドライバ50 (送信回路)、低速用スケルチ (Squelch) 回路52 (検出回路)、高速用スケルチ回路54 (検出回路)、HS差動レシーバ56 (受信回路) を含む。

【0061】FSドライバ42は、FSモードにおいて、FS回路30からのFS_DPout及びFS_DMoutからなる差動信号を、データ端子DP、DMを用いて差動出力する。このFSドライバ42は、FS回

(7)

11

路30からのFS_OutDisにより出力制御される。

【0062】FS差動レシーバ44は、FSモードにおいて、DP、DMを介して入力される差動信号を増幅し、FS_DataInとしてFS回路30に対して出力する。このFS差動レシーバ44は、FS_CompEnbにより増幅制御される。

【0063】シングルエンドDPレシーバ46は、FSモードにおいて、DPを介して入力されるシングルエンドの信号を増幅し、SE_DPInとしてFS回路30に対して出力する。

【0064】シングルエンドDMレシーバ48は、FSモードにおいて、DMを介して入力されるシングルエンドの信号を増幅し、SE_DMInとしてFS回路30に対して出力する。

【0065】HS電流ドライバ50（送信回路）は、HSモードにおいて、HS回路20からのHS_DPout及びHS_DMoutからなる差動の入力信号を増幅し、DP、DMを介して出力する。即ち、HS電流ドライバ50は、DP又はDMの信号ラインを一定の電流値でドライブすることにより、J（DPが400mV、DMが0V）或いはK（DPが0V、DMが400mV）の状態を生成する。このHS電流ドライバ50は、HS回路20からのHS_OutDisにより出力制御されると共に、HS_CurrentSourceEnbにより駆動電流の制御が行われる。

【0066】低速用スケルチ回路52（検出回路。低速用トランスミッション・エンベロップ・ディテクタ）は、FSモードにおいて、DP、DMを介して入力される差動信号（データの有無）を検出し、HS_SQ_Lとして出力する。即ち、データとノイズを区別して検出する。この低速用スケルチ回路52は、HS_SQ_L_Enbにより動作制御され、HS_SQ_L_Pwrにより省電力制御される。

【0067】高速用スケルチ回路54（検出回路。高速用トランスミッション・エンベロップ・ディテクタ）は、HSモードにおいて、DP、DMを介して入力される差動信号（データの有無）を検出し、HS_SQとしてHS回路20に対して出力する。即ち、データとノイズを区別して検出する。この高速用HS_SQ回路54は、HS回路20からのHS_SQ_Enbにより動作制御され、HS_SQ_Pwrにより省電力制御される。

【0068】HS差動レシーバ56（受信回路）は、HSモードにおいて、DP、DMを介して入力される差動信号を増幅し、HS_DataIn、HS_DataIn_Lを出力する。即ち、HSモードにおいて、DP、DMのラインがJ或いはKのいずれの状態なのかを検出する。このHS差動レシーバ56は、HS_RxEnbにより増幅制御される。

12

【0069】差動のデータ端子のうちのDPは、スイッチ素子（トランジスタ）SW1及びプルアップ抵抗Rpuを介して、高電位側の電源電圧（例えば3.3V）と接続される。また、差動のデータ端子のうちのDMは、スイッチ素子SW2に接続される。これらのSW1、SW2は、RpuEnbにより制御される。即ち、RpuEnbをアクティブにして、SW1及びRpuを介してDPをプルアップすることで、HSデバイスをFSデバイスとして使用できるようになる。

10 【0070】なお本実施形態では、DP、DM間での負荷バランスを保つために、DMについても、SW2を介してダミーの抵抗Rpu'が接続されている。

【0071】2. マクロセルの配置

本実施形態では図3（A）に示すように、マクロセルMC1（第1のマクロセル。トランシーバマクロ）の辺SD1、SD2（第1、第2の辺）の交差部分であるコーナ部分CNが、集積回路装置ICD（半導体チップ）のコーナ部分に一致（ほぼ一致する場合も含む）するように、MC1を配置している。そして、マクロセルMC1
20 の配置領域以外の領域に、マクロセルMC2（第2のマクロセル。SIE、ユーザロジックのマクロセル）を配置している。

【0072】ここで、図3（A）において、MC1は、配線及び回路セル配置が固定化されるハードマクロになっている。より具体的には、例えば、配線や回路セル配置が手作業のレイアウトにより行われる（配線、配置の一部を自動化してもよい）。

【0073】一方、MC2は、配線及び回路セル配置が自動配置配線されるソフトマクロになっている。より具体的には、例えば、ゲートアレイの自動配置配線ツールにより基本セル間の配線等が自動的に行われる（配置、配線の一部を固定化してもよい）。

【0074】マクロセルMC1は、図2に示すように、微小信号で高速に動作することが要求されるアナログフロントエンド回路40や、480MHzで動作することが要求されるHS回路20や、480MHzのクロックを生成することが要求されるクロック生成回路14などを含む。従って、マクロセルMC1のこれらの回路の配置、配線を、ゲートアレイなどで用いられている自動配置配線ツールで行うと、マクロセルMC1の高性能を維持できない。従って、マクロセルMC1での回路セルの配置、配線は、手作業のレイアウトで行うことが望ましい。

【0075】一方、マクロセルMC2は、物理層回路（アナログフロントエンド回路）を含まず、マクロセルMC1ほどには高速な動作が要求されない。そして、マクロセルMC2の回路構成は、集積回路装置を使用するユーザの要望や集積回路装置が組み込まれる電子機器の用途に応じて多様に変化する。従って、マクロセルMC
50 2での回路セルの配置、配線は、自動配置配線ツールに

13

より行うことが望ましい。

【0076】そこで本実施形態では、図3(A)に示すように、マクロセルMC1のコーナ部分CNが、集積回路装置ICDのコーナ部分に位置するように、MC1を配置している。このようにすれば、例えば、マクロセルMC2の回路の構成や規模が変化した場合にも、これに容易に対処できるようになる。

【0077】例えば、マクロセルMC2の回路が小規模の場合には、MC1、MC2を図3(B)に示すように配置すればよく、MC2の回路が大規模の場合には、MC1、MC2を図3(C)に示すように配置すればよい。

【0078】そして、この場合に本実施形態では、集積回路装置ICDのコーナにマクロセルMC1が配置されているため、マクロセルMC2の回路構成や規模がユーザの要望に応じて変化しても、マクロセルMC1のコア内での回路セルの配置、配線やI/O領域での端子(パッド)の配置をほぼ固定化できる。従って、多様なユーザの要望に応えながらも、マクロセルMC1の高性能を維持できる。

【0079】また本実施形態では、集積回路装置ICDのコーナにマクロセルMC1を固定配置しているため、図3(B)、(C)に示すように、マクロセルMC1、MC2間でデータをやり取りするためのインターフェース領域IFR(信号をバッファリングするためのバッファが配置される領域)についても、辺SD1に対向する辺SD3(或いは辺SD2に対向する辺SD4)の場所に固定配置できるようになる。ここで、インターフェース領域IFRとは、マクロセルMC1からの信号をバッファリングしてマクロセルMC2に出力するバッファや、MC2からの信号をバッファリングしてMC1に入力するバッファなどを含む領域である。

【0080】このようにインターフェース領域IFRを固定配置することで、マクロセルMC1、MC2間でやり取りされる信号の遅延や受け渡しタイミングを許容範囲内に収めることが、容易になり、マクロセルMC2の回路構成や規模が変化した場合にも、安定した回路動作を保証できるようになる。

【0081】即ち、インターフェース領域IFRの場所が固定化されていれば、マクロセルMC1、MC2間の信号線の寄生容量を容易に見積もることが可能になる。従って、これらの信号線の寄生容量が許容範囲内に収まるように設定して、ソフトマクロであるマクロセルMC2の自動配置配線を行うことが可能になり、信号タイミングの設計を容易化できる。

【0082】なお、信号タイミングの設計を更に容易化するために、マクロセルMC2側のインターフェース領域(バッファ領域)についても、マクロセルMC1側のインターフェース領域IFRに隣接した領域(辺SD3に沿った領域)に固定配置することが望ましい。

(8)

14

【0083】また本実施形態では、図3(D)に示すようにマクロセルMC1、MC2を配置してもよい。即ち、図3(A)、(B)、(C)ではマクロセルMC1の辺SD4(第4の辺)の右側(第2の方向側)にマクロセルMC2の領域が存在するが、図3(D)では存在しない。即ち、マクロセルMC2の辺SD4'(第4の辺)の位置に、マクロセルMC1の辺SD4(第4の辺)が位置している。図3(D)の配置は、マクロセルMC1の回路規模が小さい場合や端子数が少ない場合に、有効である。

【0084】3. データ端子、電源端子、クロック端子の配置

本実施形態では図4に示すように、マクロセルMC1の辺SD1(第1の辺)に沿ったI/O領域IOR1(第1のI/O領域)に、データ端子DP、DM(パッド)を配置し、辺SD2(第2の辺)に沿ったI/O領域IOR2に、電源端子VDD、VSSやクロック端子XI、XOを配置している。

【0085】ここで、DP、DMはUSBのバスに接続されるデータ端子である。USBでは、これらの差動のデータ端子DP、DMを用いてデータの送受信が行われる。

【0086】また、VDD、VSS(PVDD、PVS、XVDD、XVSS)は、DP、DMを介したデータ転送のためのクロックを生成する回路(例えば図2のクロック生成回路14又はサンプリングクロック生成回路22等)の電源端子であり、XI、XOはクロック端子である。例えば、図2のクロック生成回路14やサンプリングクロック生成回路22は、これらの電源端子VDD、VSSから供給される電源により動作する。また、XI、XOは、各々、図2の発振回路OSCの入力端子、出力端子である。なお、外部クロックをXIを介して入力するようにしてもよい。

【0087】このように、DP、DMを辺SD1に沿ったIOR1に配置し、VDD、VSS、XI、XOを辺SD2に沿ったIOR2に配置すれば、方向DR1(辺SD1から対向する辺SD3へと向かう第1の方向)に沿って流れるデータを、方向DR2(辺SD2から対向する辺SD4へと向かう第2の方向)に沿って入力されるクロックを利用してサンプリングすることが可能となる。そして、サンプリングされたデータを、辺SD3に沿った領域であるインターフェース領域IFRを介してマクロセルMC2に出力できる。これにより、無駄の無い合理的なデータ転送を実現できる。

【0088】特に、USB2.0のHSモードでのサンプリングクロックの周波数は480MHzであり、非常に高速である。従って、クロックスキュー等を引き起こさないためには、DP、DMを介して受信されたデータなるべく早い段階でサンプリングすることが望ましい。

50

15

【0089】本実施形態では図4に示すように、集積回路装置ICDのコーナにマクロセルMC1を配置し、辺SD1に沿ったIOR1にDP、DMを配置し、辺SD2に沿ったIOR2にサンプリングクロック生成のためのVDD、VSS、XI、XOを配置している。従って、データがサンプリングされる場所までの距離である図4のL1、L2を短くすることが可能になり、DP、DMを介して入力されたデータを早い段階でサンプリングできるようになる。これにより、USB2.0のHSモードのように周波数の速い転送モードにおいても、受信エラーの発生を効果的に防止できる。

【0090】なお、インターフェース領域IFRは、辺SD4に沿った方向に配置してもよいが、データの流れる方向がDR1であることを考慮すると、辺SD3に沿った方向にIFRを配置することが望ましい。

【0091】4. クロック生成回路等の配置

本実施形態では図5に示すように、I/O領域IOR1のDR1側（辺SD1からSD3へと向かう第1の方向側）に、受信回路100（図2のHS差動レシーバ56）を配置している。

【0092】また、I/O領域IOR2のDR2側（辺SD2から対向する辺SD4に向かう第2の方向側）に、図2のクロック生成回路14を配置している。

【0093】そして、受信回路100のDR1側（上側）であり、クロック生成回路14のDR2側（右側）に、サンプリングクロック生成回路22を配置している。

【0094】図5に示すような配置にすれば、受信回路100とサンプリングクロック生成回路22の間の距離を短くできる。従って、受信回路100とサンプリングクロック生成回路22を結ぶ配線の長さを短くでき、DP、DMを介して受信回路100により受信されるデータの配線に不要な容量が寄生するのを防止できる。この結果、データの立ち上がり・立ち下がり波形になまりが生るのを防止できると共に、受信回路100からのデータを少ない信号遅延でサンプリングクロック生成回路22に伝えることが可能になる。

【0095】また図5に示すような配置にすれば、クロック生成回路14とサンプリングクロック生成回路22の間の距離も短くできる。従って、クロック生成回路14とサンプリングクロック生成回路22を結ぶ配線の長さを短くでき、クロック生成回路14で生成された高周波数（480MHz）のクロック（周波数が同一で位相が異なる多相の第1～第Nのクロック）の配線に不要な容量が寄生するのを防止できる。この結果、クロック信号の立ち上がり・立ち下がり波形になまりが生じたり、多相のクロック間に信号遅延差が生じたりするなどの事態を防止できる。

【0096】そして、このように受信回路100とサンプリングクロック生成回路22の間の距離やクロック生

(9)

16

成回路14とサンプリングクロック生成回路22の間の距離を短くすることで、USB2.0のHSモードで要求されるような高周波数のサンプリングクロックを生成する回路を、最新の半導体プロセスを用いなくても、実現することが可能になる。

【0097】図6に、本実施形態のサンプリングクロック生成回路22（HSDL回路）の構成例を示す。

【0098】クロック生成回路14が含むPLL480Mは、周波数が同一で位相が互いに異なるクロックCLK0、CLK1、CLK2、CLK3、CLK4（広義には第1～第Nのクロック）を出力する。より具体的には、PLL480MのVCO（発振周波数が可変に制御される発振手段）が含む5個の差動出力コンパレータ（広義には奇数段の第1～第Nの反転回路）の出力が、クロックCLK0～4として用いられることになる。

【0099】サンプリングクロック生成回路22はエッジ検出回路70、クロック選択回路72を含む。そして、このエッジ検出回路70は、受信回路100（図2のHS差動レシーバ56）から入力されるデータのエッジを検出し、そのエッジ検出情報をクロック選択回路72に出力する。

【0100】より具体的には、PLL480MからのCLK0～4のエッジ（立ち上がり又は立ち下がりエッジ）の中のいずれのエッジ間にデータHS_DataInのエッジがあるかを検出し、そのエッジ検出情報をクロック選択回路72に出力する。

【0101】すると、クロック選択回路72は、このエッジ検出情報に基づいて、クロックCLK0～4の中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックSCLKとして後段のエラスティシティバッファ24に出力する。

【0102】図7（A）、（B）にサンプリングクロック生成回路22の動作を説明するためのタイミング波形図を示す。

【0103】図7（A）、（B）に示すように、CLK0～4は周波数が同一の480MHzとなるクロックである。また、クロックの周期をTとした場合に、各クロック間の位相がT/5（広義にはT/N）だけシフトしている。

【0104】そして図7（A）では、サンプリング対象となるHS_DataIn（受信データ）のエッジEDが、クロックCLK0とCLK1の間にあることが図6のエッジ検出回路70により検出される。すると、HS_DataInのエッジEDから例えば3個（広義には設定数M個）だけずれたエッジEC3を有するクロックCLK3が図6のクロック選択回路72により選択され、この選択されたCLK3が、HS_DataInのサンプリングクロックSCLKとして後段の回路（エラスティシティバッファ24）に出力される。

【0105】一方、図7（B）では、HS_DataI

(10)

17

nのエッジEDが、CLK2とCLK3の間にあることがエッジ検出回路70により検出される。すると、HS_DataInのエッジEDから例えば3個（広義には設定数M個）だけずれたエッジECOを有するクロックCLK0がクロック選択回路72により選択され、この選択されたCLK0が、HS_DataInのサンプリングクロックSCLKとして後段の回路（エラスティシティバッファ24）に出力される。

【0106】このように本実施形態のサンプリングクロック生成回路22によれば、HS_DataInのエッジEDを検出し、得られたエッジ検出情報に基づいてCLK0～CLK4からクロックを選択するという簡素な構成で、HS_DataInのサンプリングクロックSCLKを生成できる。従って、USB2.0のHSモードのように、HS_DataInが外部装置の480MHzに同期する高速な転送データである場合にも、このHS_DataInを適正にサンプリングできるクロックSCLKを生成できる。

【0107】また本実施形態によれば、図7（A）、（B）に示すように、生成されたサンプリングクロックSCLKのエッジESをHS_DataInのエッジ間の真ん中付近に位置させることができる。従って、後段の回路（エラスティシティバッファ24）は、データの保持のためのセットアップタイムやホールドタイムを十分に確保できるようになり、データ受信の信頼性を格段に高めることができる。

【0108】また本実施形態によれば、HS_DataInのエッジ検出やSCLKの生成のために使用する5相（多相）のクロックCLK0～4として、PLL480MのVCOが含む差動出力コンパレータ（反転回路）の出力を有効利用している。従って、CLK0～4を生成するために別の新たな回路を設ける必要が無いため、回路の小規模化を図れる。

【0109】図8に、クロック生成回路14が含むPLL480Mの詳細な構成例を示す。

【0110】このPLL480Mは、位相比較器80、チャージポンプ回路82、フィルタ回路84、VCO（Voltage Controlled Oscillator）86、分周器88などを含む。

【0111】ここで位相比較器80は、ベースクロックRCLK（例えば12～24MHz）と分周器88からのクロックDCLK4の位相を比較し、位相誤差信号PUP、PDWを出力する（PUPは位相進み信号、PDWは位相遅れ信号）。

【0112】チャージポンプ回路82は、位相比較器80からのPUP、PDWに基づいてチャージポンプ動作を行う。より具体的には、PUPがアクティブになると、フィルタ回路84が含むコンデンサを充電する動作を行い、PDWがアクティブになると、コンデンサを放電する動作を行う。そして、フィルタ回路84により平

18

滑化された制御電圧VCがVCO86に与えられる。

【0113】VCO86は、制御電圧VCに応じてその発振周波数が可変に制御される発振動作を行い、480MHzのクロックQCLK0～4を生成する。例えば、制御電圧VCが高くなると発振周波数も高くなり、制御電圧VCが低くなると発振周波数も低くなる。

【0114】VCO86により生成されたクロックQCLK0、1、2、3、4は、バッファBF00～04、BF10～14を介して、各々、CLK0、3、1、4、2として外部に出力される。なお、BF20～23はBF24との負荷合わせのためのダミーのバッファである。

【0115】分周器88は、バッファBF04、BF24を介してVCO86から入力されるクロックQCLK4を分周（1/N）して、分周後のクロックDCLK4を位相比較器80に出力する。

【0116】図8の構成のPLL480Mによれば、ベースクロックRCLK（発振回路OSCにより生成されたクロック）に位相同期した高周波数の480MHzのクロックCLK0～4を生成できるようになる。

【0117】以上のように図6のサンプリングクロック生成回路22では、受信回路100（差動レシーバ56）からのHS_DataInのエッジ情報とクロック生成回路14（PLL480M）からの多相の480MHzのクロックCLK0～4に基づいて、サンプリングクロックSCLKを生成している。従って、HS_DataInやクロックCLK0～4の配線に不要な容量が寄生してしまうと、適正なサンプリングクロックを生成できなくなるおそれがある。

【0118】本実施形態によれば、マクロセルMC1を集積回路装置ICDのコーナに配置し、受信回路100、クロック生成回路14、サンプリングクロック生成回路22を図5に示すように配置している。従って、受信回路100とサンプリングクロック生成回路22の間の配線長やクロック生成回路14とサンプリングクロック生成回路22の間の配線長を極力短くすることが可能となる。この結果、図6のような構成のサンプリングクロック生成回路22を採用した場合にも、適正なサンプリングクロックを生成できるようになる。

【0119】5. キャパシタ領域の配置

本実施形態では図9に示すように、クロック生成回路14に電源を供給する電源端子PVDD、PVSS（第1の電源端子）と、サンプリングクロック生成回路22や他の論理回路112（図2のエラスティシティバッファ24、FS回路30、データハンドラ回路10）に電源を供給する電源端子XVDD、XVSS（第2の電源端子）を、辺SD2に沿ったI/O領域IOR2に配置している。

【0120】そして本実施形態では、クロック生成回路14を、方向DR2（第2の方向）において電源端子P

(11)

19

VDD、PVSSに隣接して配置している。

【0121】一方、電源端子XVDD、XVSSの電源電圧の変動を安定化させるためのキャパシタ素子領域110を、方向DR2において電源端子XVDD、XVSSに隣接して配置している。ここでキャパシタ素子CPは、図10に示すように、一端（正極側）がXVDDに接続され、他端（負極側）がXVSSに接続される素子であり、基板電位を安定化させるガードリング（環状電源）などを利用して構成される。

【0122】図9に示すように電源端子PVDD、PVSSに隣接してクロック生成回路14を配置すれば、PVDD、PVSSとクロック生成回路14の間の電源配線の長さを短くできる。従って、クロック生成回路14で流れる電流による電圧ドロップを最小限に抑えることができ、クロック生成回路14の安定動作を保証できる。

【0123】特に、クロック生成回路14が含むPLL480M（図8参照）は、高周波数（480MHz）のクロックを生成する必要があるため、消費電流が非常に多い。そして、この消費電流により、電源に大きな電圧ドロップが生じると、PLL480Mが含む反転回路のゲインが低下してしまい、480MHzの発振動作を保証できなくなる事態が生じる。

【0124】本実施形態のように電源端子PVDD、PVSSに隣接してクロック生成回路14を配置すれば、このような事態が生じるのを効果的に防止できる。

【0125】また、図9に示すように電源端子XVDD、XVSSに隣接してキャパシタ素子領域110を配置すれば、XVDD、XVSSの電源電圧変動を、XVDD、XVSSに近い場所で効果的に安定化できる。

【0126】特に、サンプリングクロック生成回路22や論理回路112が含むエラスティシティバッファは、高周波数（480MHz）で動作する。従って、MOSトランジスタのゲート容量の充放電に起因する電源電圧変動により、これらのサンプリングクロック生成回路22やエラスティシティバッファが誤動作する事態が生じるおそれがある。

【0127】本実施形態のように電源端子XVDD、XVSSの直ぐ近くにキャパシタ素子領域110を配置すれば、このような事態が生じるのを効果的に防止できる。また、クロック生成回路14のDR1側（上側）のデッドスペース（空き領域）を有効利用できるという効果もある。

【0128】なお図9において、アナログ回路114は、基準電圧や基準電流を生成するための回路である。また、例えば、クロック生成回路14の発振回路OSCを、アナログ回路114が配置されている領域付近に配置してもよい。

【0129】6. 受信回路と検出回路の配置関係
本実施形態では図9に示すように、アナログフロントエ

20

ンド回路40が、バス上の信号が有効なデータなのかノイズなのかを区別するための検出回路102（図2の高速用スケルチ回路54。エンベロープディテクタ）を含む。

【0130】この検出回路102は、バスの信号のピーク値を保持し、信号の包絡線を検波することで、バスの信号の振幅を検出する。そして例えば、その振幅が100mV以下であれば信号はノイズであると判断し、150mV以上であれば有効なデータであると判断する。そして、有効なデータであると判断した場合には、検出回路102は図11（A）の検出信号HS__SQをHレベル（アクティブ）にする。これにより、AND回路103が導通状態になり、受信回路100からの受信データがサンプリングクロック生成回路22に伝わるようになる。

【0131】さて、USB2.0においては、この検出回路102の信号検出動作を非常に高速に行わなければならないことが判明した。

【0132】即ち、USB2.0では、ハブ装置を通して図11（B）のSYNCのビットが削られて行く。このため、末端のデバイスがデータを受信した時には、SYNCのビット数が非常に少なくなっている可能性がある。従って、検出回路102の信号検出動作が遅いと、HS__SQがHレベルになるタイミングが遅れてしまい、受信データが喪失してしまうおそれがある。

【0133】そこで本実施形態では図9に示すように、マクロセルMC1の辺SD2からSD4に向かう方向DR2において、受信回路100と検出回路102（スケルチ回路）を隣接して配置している。

【0134】このようにすれば、図11（A）の経路PT1、PT2での配線の寄生容量、寄生抵抗を同等にすることが可能になる。従って、例えば、バスの信号がノイズであると検出された場合には、検出回路102の出力HS__SQが即座にLレベルになることで、誤ったデータが経路PT1及びAND回路103を介してサンプリングクロック生成回路22に伝わるのを防止できる。一方、バスの信号が有効なデータであると検出された場合には、検出回路102の出力HS__SQがHレベルになることで、受信回路100で受信されたデータが経路PT1及びAND回路103を介してサンプリングクロック生成回路22に即座に伝わるようになる。このように本実施形態では、経路PT1、PT2での配線の寄生容量、寄生抵抗を同等にすることで、安定した回路動作を実現することに成功している。

【0135】図12に、検出回路102（スケルチ回路）の構成例を示す。

【0136】図12の検出回路102は、差動アンプ回路60、第1及び第2のピークホールド回路62、64、定電位設定回路66、比較回路68を含む。

(12)

21

【0137】差動アンプ回路60は、DP、DMからの差動入力信号の差分の電圧を増幅し、差動出力信号GP、GMを生成する。

【0138】第1のピークホールド回路62は、差動出力信号の一方の出力信号GPのピーク値を検出し、ノードPKHに保持する。

【0139】第2のピークホールド回路64は、差動出力信号の他方の出力信号GMのピーク値を検出し、ノードPKHに保持する。

【0140】定電位設定回路66は、ノードPKHの電位変化速度よりもゆっくり変化するような時定数で、ノードPKHの電位を、信号の未検出状態に対応した一定電位に戻す。

【0141】比較回路68は、基準電位RPとノードPKHの電位を比較し、その結果をHS_SQとして出力する。

【0142】このように図12の検出回路102は、DP、DMに基づき得られた差動出力信号GP、GMのピーク値をノードPKHに保持し、このPKHの電位を、信号未検出状態に関連付けられた一定電位に、ゆっくりとした時定数で戻すようにした。そして、このノードPKHの電位を、基準レベルRPと比較するようにしたので、DP、DMの差動入力信号が微小振幅かつ高速の場合でも、受信データの有無を精度良く判別できるようになる。

【0143】7. 受信回路と送信回路の配置関係
本実施形態では図9に示すように、送信回路104（図2のHS電流ドライバ50）を、受信回路100（HS差動レシーバ56）のDR2側（SD2からSD4へと向かう第2の方向側。右側）に配置している。

【0144】例えば本実施形態の比較例となるレイアウト手法として、図13（A）に示すように、送信回路104を、受信回路100の方向XDR2側（DR2の反対側。左側）に配置する手法も考えることができる。

【0145】しかしながら、この手法では図13（A）に示すように、クロック生成回路14からのクロックの配線領域と、送信回路104に送信データを供給する論理回路112の領域とが重なってしまう。このため、レイアウト効率が悪くなるという問題がある。

【0146】特に、図6、図7（A）、（B）の手法でサンプリングクロックを生成する場合には、クロック生成回路14からのクロック（多相クロック）の配線に寄生する容量や抵抗は、なるべく小さくすることが望ましい。しかしながら、図13（A）のレイアウト手法では、クロック生成回路14とサンプリングクロック生成回路22との間の距離が離れてしまい、クロック生成回路14からのクロック配線に、無駄な寄生容量、寄生抵抗が付加されてしまう。

【0147】更に図13（A）のレイアウト手法では、送信回路104の下側に配置されるデータ端子DP、D

22

Mも、コーナ部分CNに近い場所に配置されてしまう。このため、データ端子DP、DMのボンディングワイヤが斜めに配線されてしまい、DP、DMのボンディングワイヤの長さに差が生じてしまう。この結果、DP、DMのボンディングワイヤに寄生するインダクタンスにも差が生じてしまい、DP、DMの負荷バランスが崩れ、送信回路104の性能が低下するおそれがある。

【0148】これに対して図13（B）に示すように、送信回路104を受信回路100のDR2側（右側）に配置すれば、受信回路100を、コーナ部分CNから近い場所に配置できる。この結果、クロック生成回路14からのクロックの配線領域と論理回路112の領域とが重なってしまう事態を防止でき、レイアウト効率を高めることができる。

【0149】また、図13（B）のレイアウト手法によれば、クロック生成回路14とサンプリングクロック生成回路22との間の距離を近づけることができ、クロック生成回路14からのクロック配線に寄生する容量や抵抗を最小限に抑えることができる。

【0150】更に図13（B）のレイアウト手法では、データ端子DP、DMを、コーナ部分CNから遠い場所に配置できる。これにより、データ端子DP、DMのボンディングワイヤを真っ直ぐに配線でき、DP、DMのボンディングワイヤの長さの差を最小限に抑えることができる。この結果、DP、DMのボンディングワイヤの寄生インダクタンスの差も最小限に抑えることができ、DP、DMの負荷バランスを同等にでき、高性能な送信回路104を実現できるようになる。

【0151】8. 送信回路とデータ端子の配置関係
本実施形態の送信回路104は、図14（A）に示すように、定電流源IS（ゲート電極が定電位に設定されたP型トランジスタ）と、N型トランジスタ（スイッチ素子）NTP、NTA、NTMとにより構成される電流ドライバを含む。ここで、N型トランジスタNTP、NTA、NTMのゲート電極は、DPG、AVG、DMGにより制御される。そして図14（B）に示すように、DPGをHレベル（アクティブ）に設定することで、定電流源ISからN型トランジスタNTPを介してDPに定電流が流れ、バスのステートがJ状態になる。一方、DMGをHレベルに設定することで、定電流源ISからN型トランジスタNTMを介してDMに定電流が流れ、バスのステートがK状態になる。そして、送信データに応じてバスをJ又はK状態にすることで、HSモードでの送信が可能になる。

【0152】一方、送信（HS送信）期間以外の期間では、図14（B）に示すように、AVGをHレベルに設定することで、定電流源ISからN型トランジスタNTAを介してAVSSに定電流が流れる（ISからの定電流が破棄される）。このように送信期間以外の期間においても、定電流源ISの定電流をN型トランジスタNT

(13)

23

Aを介してAVSSに流し続けることで、送信開始時に直ぐに、安定した定電流をNTP又はNTMを介してDP又はDMに流すことが可能となり、送信回路104のレスポンスを高めることができる。

【0153】さて、このように送信回路104として電流ドライバを用いる場合には、図14(A)の経路PTP、PTMに寄生する抵抗・容量・インダクタンスを互いに整合させて、DP、DMの負荷バランスを保つことが望ましい。

【0154】そこで本実施形態では、図9に示すように、送信回路104とデータ端子DP、DMを、方向DR1(SD1からSD3へと向かう第1の方向。上方)において隣接して配置している。

【0155】より具体的には図15に示すように、データ端子DP、DMの真上(方向DR1)に、送信回路104(図14(A)の電流ドライバ)のN型トランジスタNTP、NTMを配置している。また、送信期間以外の期間において定電流源ISからの定電流を流す電源端子AVSSを、データ端子DP、DMの間の領域に配置し、このAVSSの真上(方向DR1)にN型トランジスタNTAを配置している。

【0156】このように配置すれば、DP、NTP間の配線の寄生抵抗・容量・インダクタンスと、DM、NTM間の配線の寄生抵抗・容量・インダクタンスを整合させて、DP、DMの負荷バランスを保つことが容易になる。これにより、送信回路104の性能を高めることが可能になる。

【0157】特に本実施形態では、図13(B)で説明したように、送信回路104を、受信回路100のDR2側(右側)に配置している。そして図15で説明したように、送信回路104は、データ端子DP、DMのDR1側(上側)に隣接して配置される。従って、結局、データ端子DP、DMの配置位置がコーナ部分CNから離れることになり、図13(B)で説明したように、DP、DMのボンディングワイヤに寄生するインダクタンスの差も少なくできる。これにより、DP、DMの負荷バランスを更に良好に保つことができる。

【0158】なお、図15では、NTP、NTA、NTMのDR1側(上側)に、図2の抵抗 R_{pu} 、 R_{pu}' 及びスイッチ素子SW1、SW2を配置している。即ち、NTP、SW1、 R_{pu} のレイアウトと、NTM、SW2、 R_{pu}' のレイアウトとが対称になるようにしている。これにより、DP、DMに寄生する抵抗・容量・インダクタンスを等価にすることが可能になる。なお、図15において、定電流源ISを、NTP、NTA、NTMのDR1側(上側)や、 R_{pu} 、 R_{pu}' のDR1側に配置してもよい。

【0159】9. 電子機器

次に、本実施形態の集積回路装置(データ転送制御装置)を含む電子機器の例について説明する。

24

【0160】例えば図16(A)に電子機器の1つであるプリンタの内部ブロック図を示し、図17(A)にその外観図を示す。CPU(マイクロコンピュータ)510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM517はCPU510のワーク領域として機能する。DMAC518は、CPU510を介さずにデータ転送を行うためのDMAコントローラである。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

【0161】USBを介してパーソナルコンピュータなどの他のデバイスから送られてきたシリアル印字データは、集積回路装置500によりパラレル印字データに変換される。そして、変換後のパラレル印字データは、CPU510又はDMAC518により、印字処理部(プリンタエンジン)512に送られる。そして、印字処理部512においてパラレル印字データに対して所与の処理が施され、プリントヘッダなどからなる印字部(データの出力処理を行う装置)514により紙に印字されて出力される。

【0162】図16(B)に電子機器の1つであるスキャナの内部ブロック図を示し、図17(B)にその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキャナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM527はCPU520のワーク領域として機能する。DMAC528はDMAコントローラである。

【0163】光源、光電変換器などからなる画像読み取り部(データの取り込み処理を行う装置)522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部(スキャナエンジン)524により処理される。そして、処理後の画像データは、CPU520又はDMAC528により集積回路装置500に送られる。集積回路装置500は、このパラレルの画像データをシリアルデータに変換し、USBを介してパーソナルコンピュータなどの他のデバイスに送信する。

【0164】図16(C)に電子機器の1つであるCD-RWドライブの内部ブロック図を示し、図17(C)にその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-RWをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM537はCPU530のワーク領域として機能する。DMAC538はDMAコントローラである。

【0165】レーザ、モータ、光学系などからなる読み取り&書き込み部(データの取り込み処理を行う装置又はデータの記憶処理を行うための装置)533によりCD-RW532から読み取られたデータは、信号処理部

(14)

25

534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、CPU530又はDMAC538により集積回路装置500に送られる。集積回路装置500は、このパラレルのデータをシリアルデータに変換し、USBを介してパーソナルコンピュータなどの他のデバイスに送信する。

【0166】一方、USBを介して他のデバイスから送られてきたシリアルデータは、集積回路装置500によりパラレルのデータに変換される。そして、このパラレルデータは、CPU530又はDMAC538により信号処理部534に送られる。そして、信号処理部534においてこのパラレルデータに対して所与の信号処理が施され、読み取り&書き込み部533によりCD-RW532に記憶される。

【0167】なお、図16(A)、(B)、(C)において、CPU510、520、530の他に、集積回路装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

【0168】本実施形態の集積回路装置を電子機器に用いれば、USB2.0におけるHSモードでのデータ転送を実現できるようになる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るができるようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。

【0169】また、本実施形態の集積回路装置を電子機器に用いれば、製造コストが安い通常の半導体プロセスでも、HSモードでのデータ転送が可能な集積回路装置を製造できるようになる。従って、データ転送制御装置の低コスト化を図れ、電子機器の低コスト化も図れるようになる。また、データ転送の信頼性を向上でき、電子機器の信頼性も向上できるようになる。

【0170】また、本実施形態の集積回路装置を電子機器に用いれば、集積回路装置の高性能を維持しながらも、電子機器を製造する多様なユーザの要望に応えることが可能となり、電子機器の付加価値を高めることができる。

【0171】なお本実施形態の集積回路装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ(CD-ROM、DVD)、光磁気ディスクドライブ(MO)、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

【0172】なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0173】例えば、本発明の集積回路装置の第1のマ

26

クロセルの回路構成は、図2に示す構成に限定されるものではなく、種々の変形実施が可能である。

【0174】また、本発明の集積回路装置の各回路の配置も、図3(A)～図15で説明したものに限定されず、種々の変形実施が可能である。

【0175】また、本発明は、USB2.0のインターフェース(データ転送)に適用されることが特に望ましいが、これに限定されるものではない。例えばUSB2.0と同様の思想に基づく規格やUSB2.0を発展させた規格のインターフェースにも本発明は適用できる。

【図面の簡単な説明】

【図1】本実施形態の集積回路装置の概念的な機能ブロック図の例である。

【図2】マクロセルMC1の回路構成例を示す図である

【図3】図3(A)、(B)、(C)は、マクロセルMC1、MC2の配置例を示す図である。

【図4】データ端子等の配置例を示す図である。

【図5】クロック生成回路等の配置例を示す図である。

【図6】サンプリングクロック生成回路の構成例を示す図である。

【図7】図7(A)、(B)は、サンプリングクロック生成回路の動作について説明するためのタイミング波形図である。

【図8】PLL480Mの構成例を示す図である。

【図9】キャパシタ素子領域、受信回路、検出回路、送信回路の配置例を示す図である。

【図10】キャパシタ素子CPについて説明するための図である。

【図11】図11(A)、(B)は、検出回路(スケルチ回路)の動作について説明するための図である。

【図12】検出回路の構成例を示す図である。

【図13】図13(A)、(B)は、送信回路と受信回路の配置関係について説明するための図である。

【図14】図14(A)、(B)は、送信回路の電流ドライバについて説明するための図である。

【図15】端子DP、AVSS、DM、N型トランジスタNTP、NTA、NTMの配置例について示す図である。

【図16】図16(A)、(B)、(C)は、種々の電子機器の内部ブロック図の例である。

【図17】図17(A)、(B)、(C)は、種々の電子機器の外観図の例である。

【符号の説明】

ICD	集積回路装置
MC1、2	第1、第2のマクロセル
CN	コーナ部分
SD1～4	第1～4の辺
DR1、2	第1、第2の方向
IFR	インターフェース領域

(15)

27

IOR1、2 I/O領域

DP、DM データ端子

VDD、VSS 電源端子

PVDD、PVSS 第1の電源端子

XVDD、XVSS 第2の電源端子

AVDD、AVSS 電源端子

XI、XO クロック端子

10 データハンドラ回路

12 クロック制御回路

14 クロック生成回路

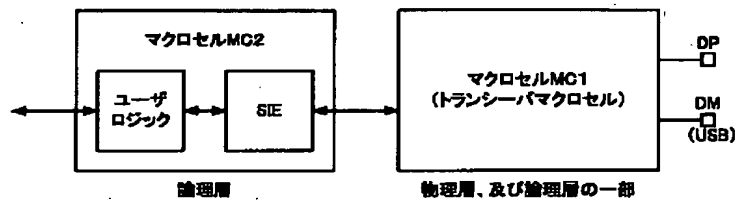
20 HS回路

30 FS回路

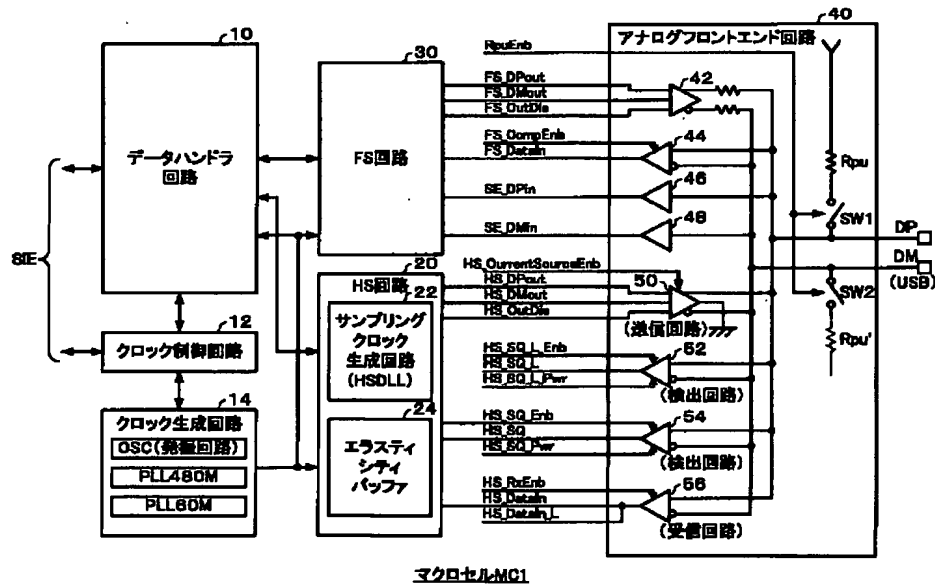
40 アナログフロントエンド回路

42 FSドライバ

【図1】



【図2】



28

44 FS 差動レシーバ

46 シングルエンドDPレシーバ

48 シングルエンドDMレシーバ

50 HS電流ドライバ (送信回路)

52 低速用スケルチ回路 (検出回路)

54 高速用スケルチ回路 (検出回路)

56 HS 差動レシーバ (受信回路)

70 エッジ検出回路

72 クロック選択回路

10 100 受信回路

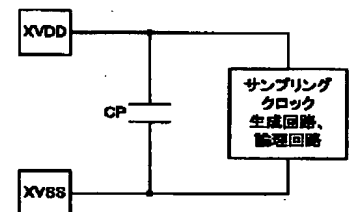
102 検出回路

104 送信回路

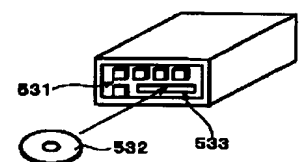
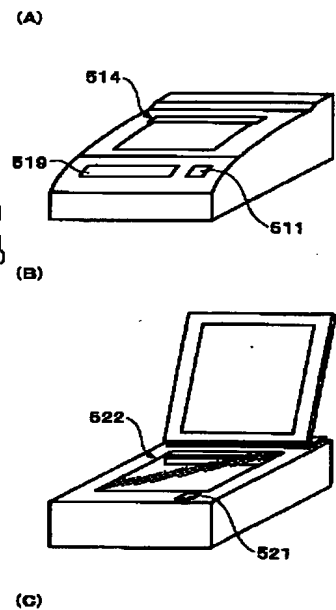
110 キャパシタ素子領域

112 論理回路

【図10】

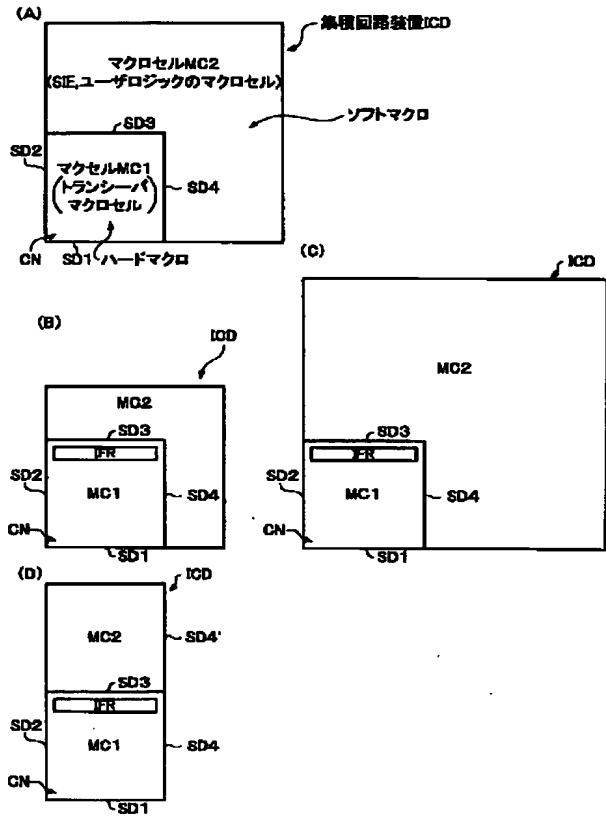


【図17】

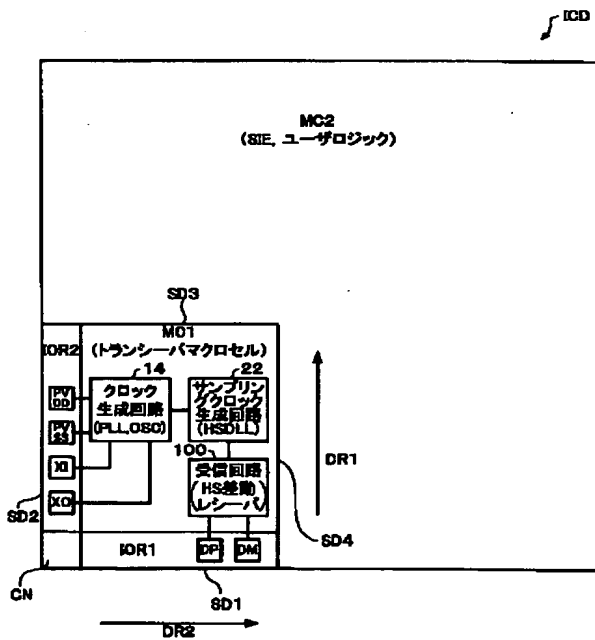


(16)

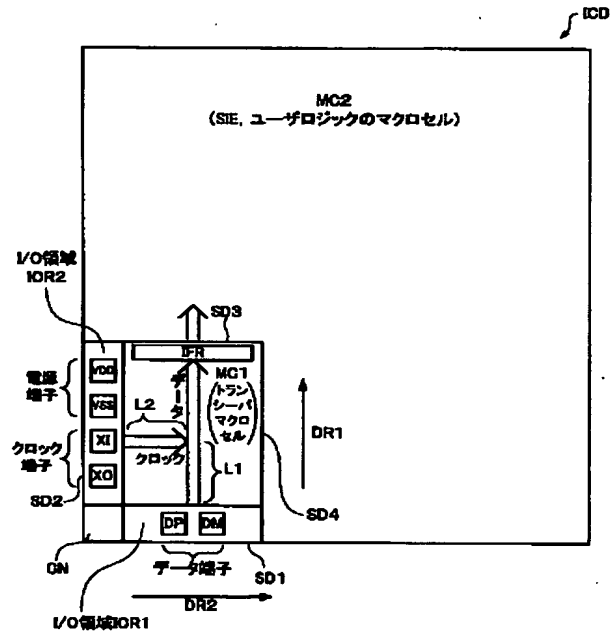
【図 3】



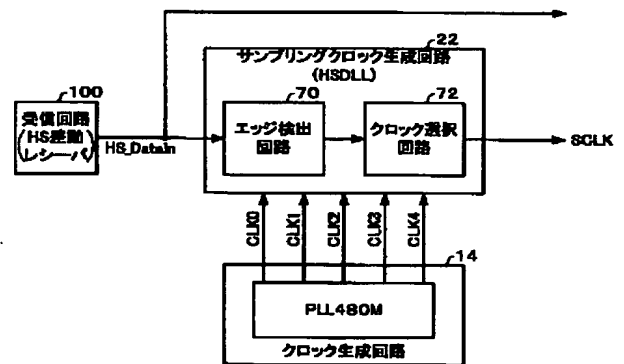
【図 5】



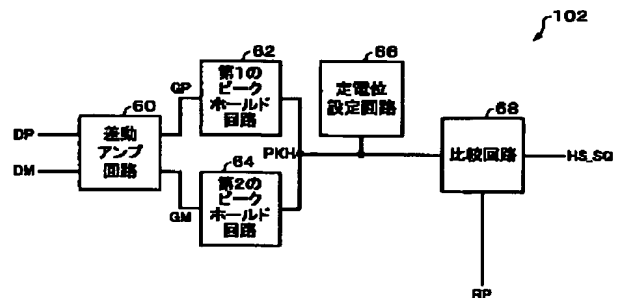
【図 4】



【図 6】

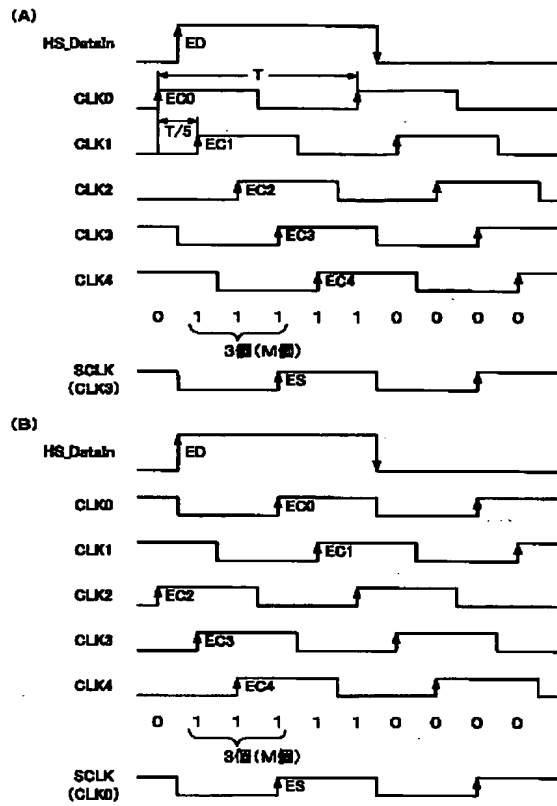


【図 12】

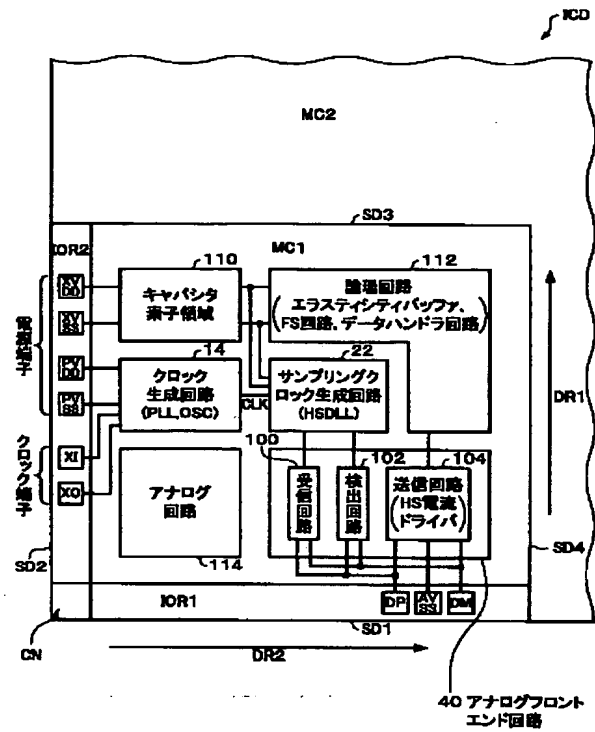


(17)

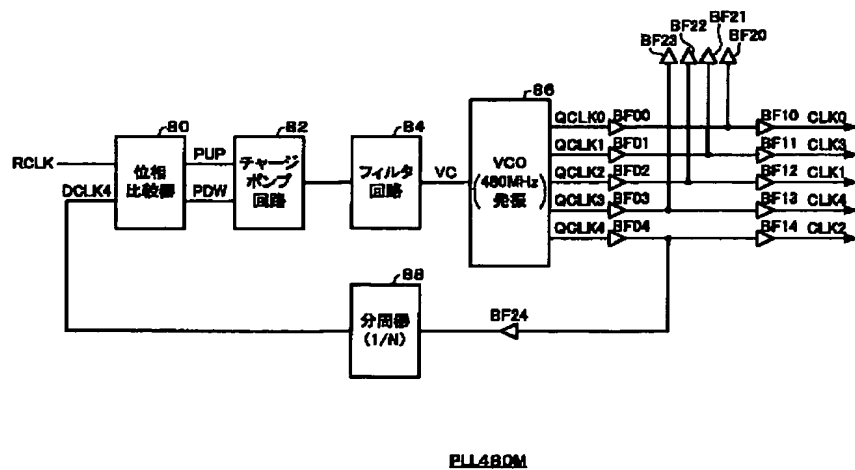
【図7】



【図9】

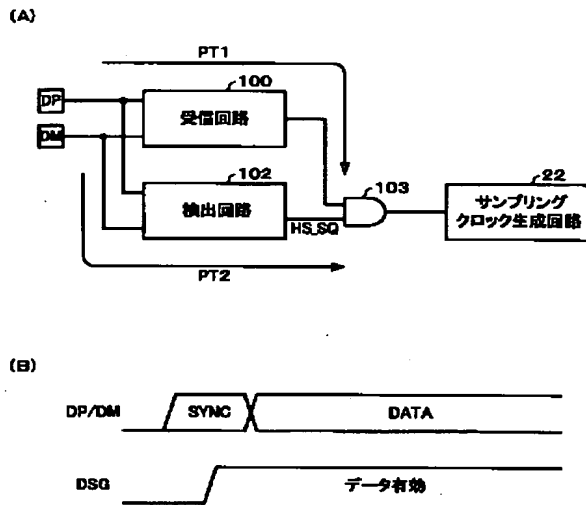


【図8】

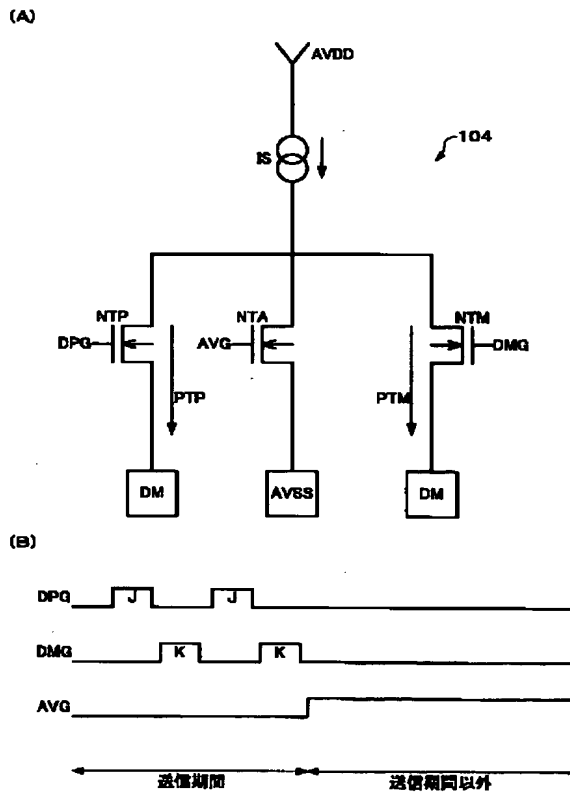


(18)

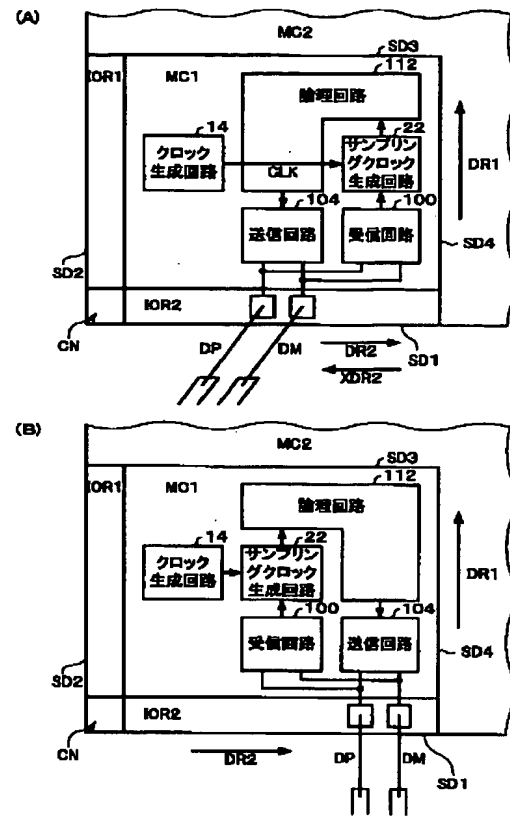
【図11】



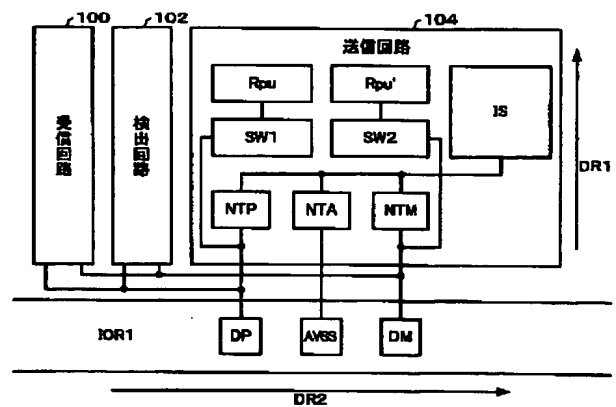
【図14】



【図13】

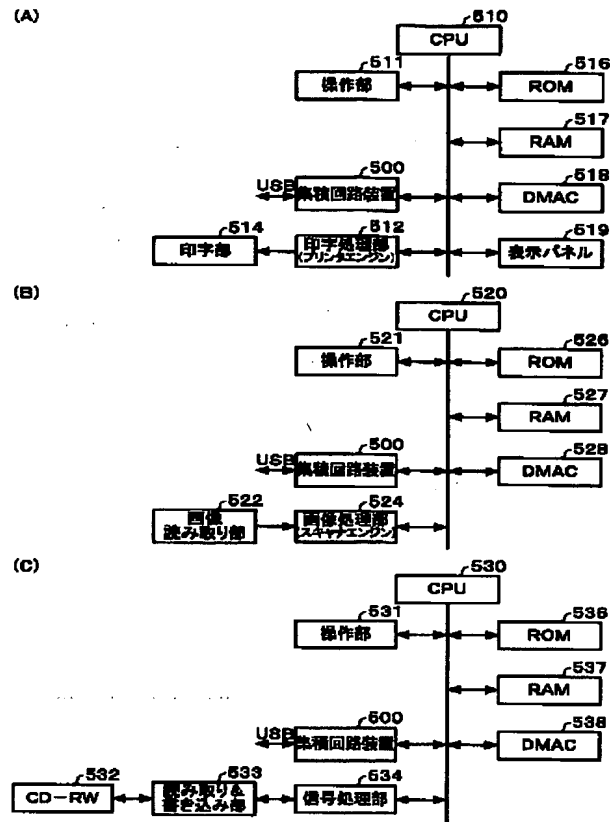


【図15】



(19)

【図16】



フロントページの続き

(72)発明者 小松 史和
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

Fターム(参考) 5F038 CA03 CA05 DF04 DF05 DF14
EZ20
5F064 AA06 BB09 BB12 BB21 DD02
DD04 DD07 DD14 EE02 HH06
HH12